

# 部分的要素の全置換を評価する配置法の研究

A Study of Placement Optimization by  
Evaluating Full Permutation of Partial Elements

宮城 悠<sup>1)</sup> 豊永 昌彦<sup>2)</sup>

Haruka Miyagi <sup>1)</sup> Masahiko Toyonaga <sup>2)</sup>

1) 高知大学理学部 1) 高知大学大学院理学研究科

1) Faculty of Science, Kochi University 2) Graduate School of Science, Kochi University

## 1. まえがき

情報化社会と呼ばれる現代, 携帯電話, パソコン, ゲーム機, テレビなどの電子機器は日常生活に, 無くてはならないものとなっている. 近年では, それらの電子機器の小型化, 高性能化に加え, 省電力化も求められるようになっていく. それに伴い, 各電子機器に搭載され, 情報処理に使われている LSI も小さく, 高性能なものが求められる. しかし, LSI の微細化が進むにつれ, 狭くなった近接配線間に寄生する電荷容量によって, 信号の誤作動や遅延が発生するなどの問題が出ている.

これらの問題は, LSI の設計段階の中でも配線に強く関わりを持つレイアウト設計によって決定される. 従って, より高性能な LSI の設計効率を上げるためには, できるだけ短時間に配線結果を見積もることが重要になる.

配線は, トランジスタ素子間を接続するために作成することから, 素子を配置可能領域のどこに配置するかによって配線長や形状はおおよそ決まる. よって, 配線を見積もるためにはより良い配置を短時間に見積もることが重要となる.

LSI 設計における配置問題は, 配置対象となる全ての素子を配置領域内の平面に, それら素子間の接続配線がより短くなるような並びを求める問題である. 最適な配置並びを得るためには, 素子数  $N$  に対して  $N!$  通りすべてを試す必要がある NP 完全問題であることが知られている. 実際的な限られた時間内では  $N$  が数 100 程度になれば, 解を得ることはほぼ不可能である.

そこで最適な解に近い最適近似解を得るための様々な手法が提案されている. 現在, 多くの自動レイアウトシステムでは, 高品質な配置結果を得るためシミュレーテッドアニーリング法が利用されている. シミュレーテッドアニーリング法は, 多数の原子・分子で構成された物質を物理シミュレーションするモンテカルロ法を組合せ, 最適近似解を求める方法である. 同手法は解を得るまでに膨大な繰返し処理を必要とするため計算時間が長期にわたってしまう. 一方, 簡単な最適近似解法としてペアワイズ交換法などがあるが, これらの計算時間は短いものの, 近似解の品質が低く, 良質の配置結果を見積もることができない.

そこで著者は  $N$  を十分に小さくした範囲で、全ての組合せを調べ、かつ対象を全素子まで扱う新たな組合せ最適化手法を提案する。

同手法は、全素子数  $N$  個の中から、比較的少数の  $M$  個をランダムに選択し、「 $M$  個に対して全ての組合せを調べ最適な解を求める」操作を、指定回数繰り返して全体の改善解を求めていくというものである。

同アルゴリズムの効果を評価するために、プログラムにより実装し、簡単な配置モデルで実験した結果、ペアワイズ交換法により得られた解よりも高い品質の最適近似解を得ることが分かったのでここに報告する。

以降、本論文は以下の構成である。

- 2 章：配置問題と従来の配置法
- 3 章：提案法について
- 4 章：実験と結果
- 5 章：まとめ
- 6 章：謝辞

## 2. 配置問題と従来の配置法

### 2.1 配置問題の定式化

まず本論文で扱う配置問題を定義する。VLSI 設計における配置問題とは、素子集合  $V$  と素子集合  $V$  の要素  $v$  間の接続集合  $E$  が定義されたネットリスト、およびレイアウト設計で決められた 2 次元配置領域  $C$  が与えられたとき、素子集合  $V$  の全要素の位置を決定する問題である。このとき、次の制約、および目標が与えられる。

- 1) 配置設計後に続く配線設計が 100% の結線となる。(素子間の接続が最短となる)
- 2) 各要素  $v$  は配置領域  $C$  内に置かれ、かつ、

互いに重複して置かれない。

これらを定式化すると、次のようになる。

### 配置問題

- 1) ネットリストで与えられた全ての素子を重複することなく配置領域内に割り付ける。
- 2) 配線設計が容易となる配置を導出する。

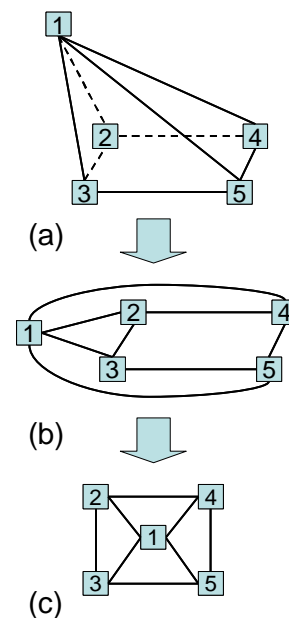


図 1. 配置問題の概要

図 1 (a) に、ネットリストの例を示す。素子を四角、接続を実線および破線で示す。図 1 (b) は、これらを平面上の配置領域  $C$  へ配置した様子を示しており、接続の一部が伸びている。図 1 (c) は、適当な配置手法により素子 1~5 の配置を改善して接続が短くなった状況を示す。

以下の議論で、配置の目標を目的関数として素子間の接続の総配線長（推定総配線長）を用いる。この推定総配線長をコストとして、コスト最小となる最適近似解をもとめる。

目的関数が最小になる配置は、素子数  $N$  に対して  $N!$  の順列すべてのコストを計算して最小

となるものを選べばよい。しかし、処理が  $N!$  の手間を要するものは、NP 完全問題として知られており[1]、 $N$  が増加するに従って幾何級数的に増加してしまう。従って、発見的な配置最適化アルゴリズムにより目的関数が最小になる最適近似解を求めることになる。

## 2.2 従来の配置手法

### 1) Pair-wise Exchange 法(ペアワイズ交換法)

ペアワイズ交換法では、1) まず配置素子が重複しないようにすべての素子を並べ、そのときの目的関数値  $COST1$  を計算する。2) 次に配置領域内の全素子の中からランダムに2つの素子を選択する。3) 選ばれた2つの素子の位置を入れかえて目的関数値  $COST2$  を計算する。4) 入れ替えた後の目的関数値  $C2$  が入れ替える前の目的関数値  $C1$  より小さければ、改善が見られると判断して、交換後の配置をそのまま採用し、そうでなければ改善が見られないと判断して、交換した2つの素子を元の位置に戻す。

以上の、2) ~ 4) について、あらかじめ設定した任意の回数になるまで繰り返すことで目的関数値を小さくする解(最適近似解)を得る。

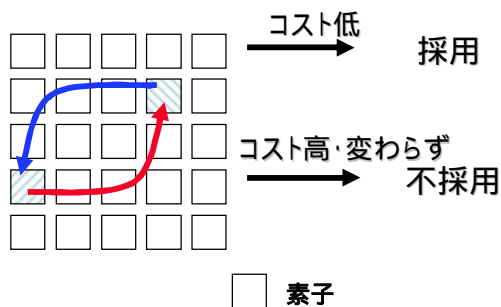


図2. ペアワイズ交換法概要

ペアワイズ交換法は、4)に見られるように、ある時点における配置組み合わせから、目的関

数値が小さくなる方向のみの組合せ解のみを検索する。そのため、初期の配置組合せに強く依存した解しか見出せず、一度、局所的な解に陥るとそこから先の改善解を見出せないという欠点をもつ。

### 2) Simulated-annealing 法(シミュレーテドアニーリング法)

シミュレーテドアニーリング法は、新たに擬似温度  $T$  を利用してペアワイズ交換法の欠点を解消する。そのため、シミュレーテドアニーリング法では、0) 大きな値をもつ  $T_s$  を擬似温度  $T=T_s$  とするステップが加わり、以下、1) ペアワイズ交換法と同様に配置素子が重複しないようにすべての素子を並べ、そのときの目的関数値  $COST1$  を計算する。2) 次に配置領域内の全素子の中からランダムに2つの素子を選択する。3) 選ばれた2つの素子の位置を入れかえて目的関数値  $COST2$  を計算する。ここで、シミュレーテドアニーリング法では、4 b) 入れ替えた前後の目的関数値  $C2$  と  $C1$  について、 $C2-C1$  と擬似温度  $T$  から「ボルツマン確率」を計算し、その確率が  $1 \sim 0$  の乱数より大きければ改善方向に向かうと判断して、交換後の配置をそのまま採用し、そうでなければ改善が見られないと判断して、交換した2つの素子を元の位置に戻す。

以上の、2) ~ 4 b) について、あらかじめ設定した任意の回数になるまで繰り返す。

シミュレーテドアニーリング法では、さらに、5) 擬似温度  $T$  を定数倍で小さくする、6)  $T$  が任意に決めた  $T_e$  よりも大きければ、さらに、

2)に戻って繰り返し,そうでなければ終了し,そのときの配置解を出力する.

シミュレーテドアニーリング法では改善方向だけではなく,改悪となる組合せまで検索することができるため,より品質の高い近似解を見いだすことができる.しかし一方,膨大な処理時間を要する.

### 3) Min-cut 法(ミンカット法)

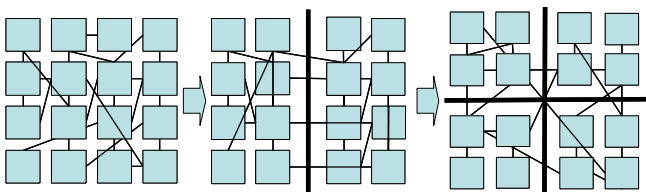


図3. ミンカット法概要

ミンカット法は,目的関数値の最小化を直接求める手法ではなく,配線長最小化のみを目指した発見的(ヒューリスティック Heuristic)手法である.1)配置領域数  $N$  とする,2)全素子が領域  $N$  間の横断数が最小となるような  $N$  グループに分けて配置する.図3にその様子を示す.

以上の1)~2)について, $N$ を2,4,8...と  $N$ が個別の素子位置を決める程度まで繰り返して素子を領域に割り付けていく.

総配線長最小を個別の素子の位置関係から決めているのではなく,接続に注目して改善をはかっており,ペアワイズ交換法とはまったく異なる改善結果を得ることができるため,より広い範囲で配置解を検索することができると考えられている.しかし,ミンカット法でも局所解以外の配置組合せを求めることはできない.

### 4) ペアの1次元配列による配置法[2]

2つの1次元配置解を用いて2次元配置を求める配置改善法は,1)ネットリストからランダムに1素子を選び,同素子を原点として,他の全素子のグラフ距離を求める.2)次にグラフ距離でソートして1次元配置並び  $x$  を得る.以上の1)~2)を2回繰り返して1組の1次元配置解  $x, y$  を得る.そして,3)  $x, y$  の解を各素子の座標  $x, y$  の相対位置とみなして2次元の配置を得る.以上から得られた解について目的関数値  $C$  を求めて,より小さな  $C$  となる組合せを検索する.高速に広い範囲の配置組合せを求めることができるが,ランダムに決定する素子について効率的な改善指針が確立していない.

### 2.2 従来手法の問題点

シミュレーテドアニーリング法では,改善が見られない解でも確率的に採用するため,初期解に依存せず様々な解を選択することができる.そのため,解空間における検索範囲が極めて広い.よって処理回数を十分に取れば,最適解に近い高品質な配置解を得ることが期待でき,実際多くの設計システムにおいて配置改善手法として採用されている.しかし,素子数  $N$  に対し, $O(N^3)$ 以上の処理時間がかかり,膨大な素子数を扱う配置設計で短時間に解を得ることができない.

一方,ペアワイズ交換法,ミンカット法やペアの1次元配列による配置法の処理時間は短いものの,初期解から改善する解のみを限定して検索するため解空間における検索範囲が狭く,

高品質な解を得ることができない。

従来手法は上記のように一長一短があり、決定的な最善策とならない。

そこで著者は、配置要素の全配置組合せを調べる効率的な手法について検討した。もちろん全配置組合せを求める処理は、素子数  $N$  に対して、 $N!$  の組合せとなってしまう。しかし、もし、 $N$  を少数のみに限定すれば、 $N$  素子の全組合せについてすべてを調べることで、最適解が得られることは明らかである。

一方、現実の配置問題において  $N$  を少数に限定することはできない。

そこで、少数  $M$  について配置要素からランダムに選択し、 $M$  について全組み合わせを評価する手法を考案した。次章で詳細を述べる。

### 3. 部分的要素の全置換を評価する配置法

前章でも説明したように、推定総配線長などの目的関数を最小にするような配置は、配置対象となる素子の考えられるすべての並び方を調べれば得ることができるが、その組み合わせは、素子数を  $N$  とすると  $N!$  通りであり NP 完全問題となってしまう。

しかし NP 完全問題でも  $N$  が小さい場合には、組合せ数は、比較的小さく、解を得ることは容易である。

そこで、全素子  $N$  から部分素子  $M$  を確率的に選択し、 $M$  個の素子について全組み合わせを調べる。選ばれた  $M$  個の素子に対して、 $M!$  の並び全てを評価すれば少なくともこの  $M$  個について局所解にとらわれない最適解を得ることができる。

選択された  $M$  個以外に対して、上記の  $M$  の選択を繰り返すことで確率的に全配置改善を行えばよい。本提案手法は、 $M=2$  とした場合は、ペアワイズ交換法に相当する。従って、ペアワイズ交換法の拡張とも捕らえることができる。

具体的なアルゴリズムは次の通りである。

#### 3.1 提案手法アルゴリズム

- 1) 部分素子  $M$  個の全組み合わせである  $M!$  通りの並び方を表  $QT$  に記憶する。
- 2) 配置解から  $M$  個の素子をランダムに選択する。
- 3) 表  $QT$  の  $i$  番目の素子の並び方を  $P(i)$  とし、 $P(i)$  の並び方のパターンに従って  $M$  個の素子の位置を置換する。
- 4) 置換の前後で目的関数  $C$  の差、 $C$  が  $C < 0$  ならば、 $i$  を  $a$  として記憶する。
- 5) 表  $QT$  の全ての並び方を調べたら、 $P(a)$  の並び方を配置解に反映する。
- 6) 以上の 2)~5) を、事前に設定した ITER 回繰り返す。得られた配置を最適近似解として出力する。

提案手法のアルゴリズムを以下説明する。

提案手法ではまず、1) 重複無く並べた全ての素子の中から、部分素子としていくつの素子を選択するかを決め  $M$  とし、並び方のパターンを  $1\sim M$  を使って表し、全ての並び方パターン  $M!$  通りを表  $QT$  に記憶する。そして 2) 配置領域内の全素子の中からランダムに  $M$  個を選択し、 $1\sim M$  の仮番号つける。3) 表  $QT$  の  $i$  通り目の並び方  $P(i)$  の  $1\sim M$  の並びに従って選択した  $M$  個を置換する。4)  $i=1$  のときの目的関数値を  $COST1$  として計算する。 $i=2$  以降の置換のたび

に計算した COST2 と比較して, COST2 のほうが小さければ改善が見られると判断し,  $i$  を  $a$  に記憶し, COST1 に COST2 の値を記憶する. 5) 同様に, 全ての並び方  $P(M!)$  まで調べ終わったら,  $P(a)$  の並び方を配置解に反映する. 6) 以上の 2)~5) の作業を, 事前に設定した ITER 回繰り返し, 得られた配置を最適近似解として出力する.

本手法の特徴は,  $M$  個の複数素子の選択を行う点, また,  $M$  個の組合せ順番をあらかじめテーブル化して高速化している点である.

### 実行例

例として,  $4 \times 4$  の内部素子をもつ簡単な配置へ,  $M=4$  とした場合の提案手法を適用した例を示す.

ステップ 1) では,  $M=4$  に対して 1~4 の素子の並び方のパターン  $4!=24$  通りを表 QT に記憶する処理である(図 4(2)). 同表の並びはそれぞれ  $P(1)=\{1, 2, 3, 4\}$ ,  $P(2)=\{1, 2, 4, 3\}$  ...,  $P(24)=\{4, 3, 2, 1\}$  となっている.

ステップ 2) では, 配置対象の素子の中から, 部分素子としてランダムに 4 つを選択し, 1~4 の仮番号をつける.

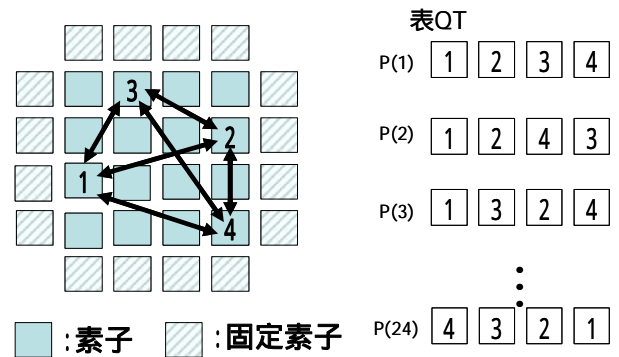
ステップ 3) は, 表 QT の  $i$  通り目の並び方  $P(i)$  に従って図 4(1) の 1 ~ 4 の仮番号をつけた 4 個の素子の置換を行う.

ステップ 4) では,  $i=1$  の時の目的関数値を COST1 として計算する.  $i=2$  以降の置換のたびに計算した COST2 と比較して, COST2 のほうが小さければ改善が見られると判断し  $i$  を  $a$  に記憶し COST1 に COST2 の値を記憶する.

ステップ 5) では, 24 通り全ての置換を行った

後,  $a$  に記憶した, コスト値が最も小さくなる並び方  $P(a)$  を配置解に反映する.

ステップ 6) は, 以上の 2)~5) を回数 ITER 繰り返して近似解を得る.



(1)ランダムに選んだ4素子 (2)表QTに基づく素子並び

図 4 部分素子  $M=4$  のときの改善過程

## 4. 実験

### 4.1 実験条件

図 5 は, 実験に使用した格子状に接続された簡単な回路を示している. 四角は素子, 実線は接続を示す. 周りの斜線の入った四角は, 固定素子を示し, その位置を変えることは無い. 図 5 の場合  $4 \times 4$  の内部素子を持つ配置問題の接続を示すと同時に, 各素子の最適配置解に相当する. この最適配置解の素子をランダムに入れ替え, 図 6 のようなランダム初期配置を作る. これを提案手法により改善していく.

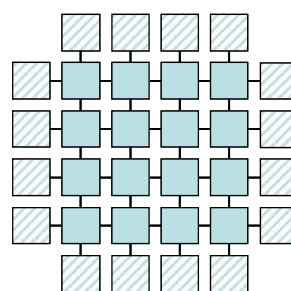


図 5.最適配置解

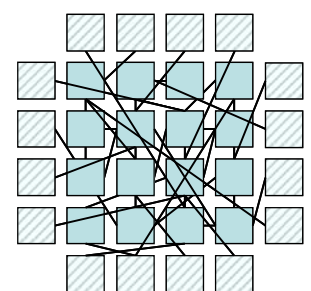


図 6.ランダム初期配置

実験では回路の規模は、内部素子が  $3 \times 3$  から  $10 \times 10$  まで 7 つを用意した。また部分素子 M は、3 から 5 についておこなった。繰り返し数 ITER は、100 から 10,000,000 までいくつか試した。

#### 4.2 実験結果

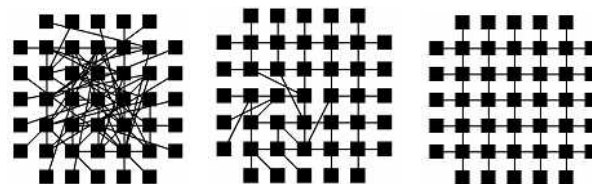
実験結果を表 1 に示す。表は左から、回路のサイズ、そのサイズにおける最適解、ランダム初期配置における未改善の目的関数の値 initial cost が並び、その次の 100, 1k, 10k, 100k, 1m, 10m はそれぞれの繰り返し数で提案手法による配置結果の目的関数値(コスト)を示す。また、括弧内の数値は各サイズの回路に提案手法を適用した際の処理時間(秒)を示す。なお、M=2 はペアワイズ交換法に相当する。

表を見ると、ペアワイズ交換法 (M=2) では繰り返し数を増やしても、 $3 \times 3$  のサイズでしか最適解を導き出していない。一方、提案手法では、M=3, M=4 では、2 秒に満たない時間で  $6 \times 6$  の回路まで最適解を導き出すことに成功している。また、 $8 \times 8$  の回路までペアワイズ交換法よりも質の良い解が得られている。

反面、 $9 \times 9$  以上の回路、また、M=5 とした実験ではペアワイズ交換法よりも質が劣ることがわかった。これは、一度に大きく改善される提案法が、早い段階で局所的な解に陥ってしまうためと考えられる。一方ペアワイズ交換法では、2 つの素子を入れ替える前後の状態を比較し改善してため、一度に改善されるコストは提案法に比べ少ない。そのため、提案法が陥る局所的な解にたどり着く前に、その途中の配置によって局所的な解とならないような解の選択がで

きるものと考えられる。さらに詳しい理由については今後の課題である。

参考までに、 $5 \times 5$  の初期配置、ペア交換法および提案手法の配置結果を図 3 に示す。



(a) ランダム配置 (b) ペア交換法 (c) 提案法

図 3 簡単な配置問題における配置結果

#### 5. まとめ

ペア交換法程度の時間でより高品質な解を得る方法を目指して、部分的要素の全置換を評価する配置法を提案した。実験の結果、 $8 \times 8$  以下のサイズの回路において、 $6 \times 6$  のサイズで最適解を導き出すなど、ペア交換法に比べて極めて高品質な解が得られることがわかった。また、例外的な現象として M=5 とした場合、質のよい解を得られないこともわかった。

今後、得られた結果を元に、この手法をすでにある配置の部分的な改善のため、従来の手法との併用利用をする予定である。

#### 参考文献

- [1] J.Soukup "Circuit Layout", Proceedings of the IEEE, Volume 69, Issue 10, Oct. 1981 pp1281 - 1304.
- [2] Xin Zang, Masahiko Toyonaga "A Two-Dimensional Placement by Pair of One-Dimensional SA Solutions"平成 18 年度電気関係学会 四国支部連合大会 17-8(2006 9 月 26 日)

表1 a . ペアワイズ交換法による配置結果

M=2

回路サイズ	最適解	initial cost	100	1k	10k	100k	1m	10m
3*3	24	60	24 (0.00)	24 (0.00)	24 (0.03)	24 (0.11)	24 (1.16)	24 (11.80)
4*4	40	122	86 (0.00)	72 (0.00)	72 (0.03)	72 (0.13)	72 (1.28)	72 (12.78)
5*5	60	234	146 (0.00)	86 (0.02)	84 (0.05)	84 (0.13)	84 (1.22)	84 (12.80)
6*6	84	338	260 (0.00)	174 (0.00)	134 (0.05)	134 (0.13)	134 (1.27)	134 (13.28)
7*7	112	586	420 (0.00)	264 (0.00)	192 (0.05)	192 (0.13)	192 (1.28)	192 (13.28)
8*8	144	808	624 (0.00)	426 (0.02)	332 (0.03)	330 (0.13)	330 (1.33)	330 (13.00)
9*9	180	1150	970 (0.00)	610 (0.00)	322 (0.03)	300 (0.13)	300 (1.27)	300 (12.91)
10*10	220	1566	1220 (0.00)	800 (0.00)	386 (0.03)	334 (0.13)	334 (1.23)	334 (12.74)

表1. b 提案法による配置結果 (目的関数値) M=3,4,5

M=3

回路サイズ	最適解	initial cost	100	1k	10k	100k	1m	10m
3*3	24	60	24 (0.00)	24 (0.00)	24 (0.03)	24 (0.38)	24 (3.84)	24 (39.08)
4*4	40	122	56 (0.00)	40 (0.00)	40 (0.03)	40 (0.38)	40 (4.02)	40 (39.80)
5*5	60	234	124 (0.00)	60 (0.00)	60 (0.05)	60 (0.38)	60 (3.95)	60 (39.83)
6*6	84	338	234 (0.00)	172 (0.02)	136 (0.05)	128 (0.38)	128 (4.08)	128 (39.11)
7*7	112	586	338 (0.00)	188 (0.00)	146 (0.05)	146 (0.39)	146 (4.02)	146 (39.47)
8*8	144	808	534 (0.00)	362 (0.02)	266 (0.03)	264 (0.41)	264 (4.16)	264 (39.30)
9*9	180	1150	818 (0.00)	484 (0.00)	382 (0.03)	350 (0.41)	330 (4.17)	330 (39.56)
10*10	220	1566	1108 (0.00)	720 (0.02)	526 (0.03)	500 (0.41)	472 (4.14)	472 (39.39)

M=4

回路サイズ	最適解	initial cost	100	1k	10k	100k	1m	10m
3*3	24	60	24 (0.00)	24 (0.02)	24 (0.17)	24 (1.72)	24 (16.99)	24 (169.92)
4*4	40	122	40 (0.00)	40 (0.02)	40 (0.19)	40 (1.77)	40 (17.58)	40 (176.11)
5*5	60	234	96 (0.00)	60 (0.03)	60 (0.19)	60 (1.86)	60 (17.91)	60 (178.22)
6*6	84	338	140 (0.00)	108 (0.02)	90 (0.19)	84 (1.83)	84 (18.00)	84 (179.03)
7*7	112	586	288 (0.00)	180 (0.02)	174 (0.19)	148 (1.84)	148 (18.24)	148 (181.59)
8*8	144	808	494 (0.00)	328 (0.02)	260 (0.19)	228 (1.88)	226 (18.22)	226 (182.09)
9*9	180	1150	672 (0.00)	464 (0.03)	412 (0.19)	268 (1.86)	262 (18.23)	250 (181.80)
10*10	220	1566	1002 (0.00)	608 (0.02)	498 (0.19)	480 (1.88)	398 (18.31)	382 (182.47)

M=5

回路サイズ	最適解	initial cost	100	1k	10k	100k	1m	10m
3*3	24	60	28 (0.00)	28 (0.06)	24 (0.66)	24 (6.83)	24 (64.86)	24 (588.26)
4*4	40	122	63 (0.02)	52 (0.08)	40 (0.75)	40 (7.67)	40 (70.61)	40 (660.56)
5*5	60	234	128 (0.02)	105 (0.09)	89 (0.83)	86 (8.16)	83 (78.20)	83 (685.74)
6*6	84	338	188 (0.00)	162 (0.09)	148 (0.88)	134 (9.19)	115 (85.25)	128 (748.31)
7*7	112	586	337 (0.00)	276 (0.09)	267 (0.94)	244 (9.81)	239 (84.22)	239 (789.61)
8*8	144	808	511 (0.02)	354 (0.09)	327 (1.05)	323 (10.25)	303 (87.86)	301 (817.06)
9*9	180	1150	680 (0.00)	492 (0.11)	456 (1.02)	417 (10.55)	405 (96.14)	359 (887.25)
10*10	220	1566	968 (0.02)	598 (0.11)	512 (1.13)	476 (10.86)	437 (99.09)	430 (960.03)