

クロック端子の均等距離点の分布に関する研究

A Study of Equivalent Length Point from Clock Sink Terminals

横山 周平 1) 海老江 光 2) 豊永 昌彦 3)

Shuhei Yokoyama 1) Hikaru Ebie 2) Masahiko Toyonaga 3)

1) 高知大学理学部 2) 高知大学大学院理学研究科 3) 高知大学 情報講座

Information Science Division, Faculty of Science, Kochi University

概要

同期式回路はクロック発信源からクロック信号を同時にフリップフロップ端子に供給することを前提としている。このようなクロック回路のレイアウト設計では、クロック信号を同時に供給するためにクロック発信源からフリップフロップ端子まで等距離に配線する必要がある。そのためには、クロック発信源とフリップフロップ端子から均等距離にある点の算出が必要になる。

著者は本論文において端子数 $n=3\sim 4$ について、それらを結ぶ配線が配線手法の制約である縦横(HV)のを前提とした場合の均等距離点の分布について研究する。具体的には、計算機プログラムによりランダムに配置した n 個の端子から計算機実験により求める。

分析の結果、端子数 n が3のときの均等距離点は、距離差のばらつき 10%以内で約 94%の確率で求まることがわかった。従って、三分木によってもクロック回路が構成できる可能性が高い。また、三分木クロック回路によるクロック回路の規模の縮小に繋がると期待できる。

1. はじめに

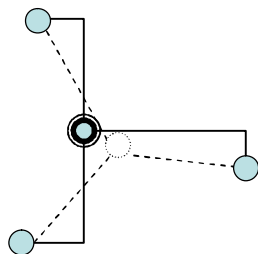


図1. 均等距離点と Rectilinear 均等距離点 ($n=3$ の場合)

近年の情報化の進歩に伴い、電子機器で使われるコア LSI の大規模化と高速化が市場から要求されている。

これらの LSI の多くは演算速度をクロック信号で制御する同期式回路設計方式が採用されている。

同期式回路設計は、クロック発信源からクロック信号を全フリップフロップに遅延差なく同時に供給することを前提としている。

一方、同期式回路ではクロック回路はほぼ常時動作し続ける。そのためクロック回路で消費される電力も多く、LSI 全体の約 50%を占めているといわれている。

物理設計において、これを同期式回路設計の前提を満たすためにはクロック発信源から各クロック端子までを均等な距離で配線することが必須である。

しかし n 個のクロック端子が配線手法の制約である縦横(HV)のみであった場合には、これらの均等距離となる点は、図1に見られるように容易に求めることが難しい。

そこで本論文では計算を使って HV 配線を前提として、 n 個のクロック端子からの均等距離点の分布を調べることにした。本研究により、端子数 $n=2$ に比べて $n=3$ では配線長と階層数が最大 20%程度削減できることがわかった[1]。これは、クロック回路の消費電力として全消費電力の 10%を削減することに相当する。

さらに、 $n=3$ と $n=4$ のときの均等距離点の分布についても調べた。その結果、 $n=3$ 端子の場合、均等距離にある点の距離差のばらつきが 10%以内のものが 94%程度算出することができるとわかった。また $n=4$ 端子の場合は均等距離にある点の距離差のばらつきが 10%以内のものが 49%程度であった。このことからクロック端子が $n=3$ の場合、大きな配線長の削減とクロック端子の均等距離点を精度良く求めることができることが判明した。

以下本論文の構成は、第2章で同期式回路設計について説明を行う。第3章では均等距離に配線するこ

と均等距離点の関係について説明を行う。第 4 章では Rectilinear の均等距離にある点の調査方法について、さらに 3 端子と 4 端子の求めた各均等距離点の精度に関する実験結果と考察を紹介する。第 5 章で本論文をまとめる。

2. 同期式回路設計

2.1. LSI とは

情報技術の進歩によって、市場では特定の複雑な機能が要求される中で、回路設計において電子回路は機能単位ですでに回路構成が決まっており、個別で素子を組み立てることは、効率が悪く、かさばり、故障の原因となっていた。そこで 1 つのチップ上にトランジスタ、抵抗、ダイオード、コンデンサといった素子を載せ、半導体にまとめた集積回路 (Integrated Circuit / IC) が開発された。

現在ではより回路基盤が小さく、複雑な計算処理能力をもった LSI (Large Scale Integration)、VLSI (Very Large Scale Integration) が開発されている。

2.2. 同期式回路設計とは

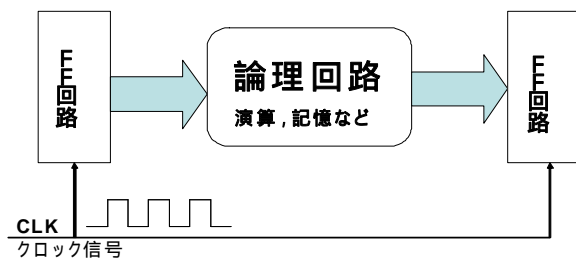


図 2-1. 同期式回路のモデル

VLSI を構成する回路は様々な機能を持ち動作時間も様々である。これらは並列に処理することもできる。VLSI 全体で正しく処理するためには、すべての回路動作のタイミングを意識しなければならない。

同期式回路設計方式とは、各論理回路の入出力に記憶素子 (Flip-Flop など) を置き (図 2-1 参照)、クロックにより回路の動作タイミングを統一することで、設計者は回路全体に及ぼすタイミングの影響を気にすることなく、個別の回路のタイミングのみを考慮して設計できるという利点がある。VLSI を構成する全回路の処理時間の最大を T としたとき、VLSI を動作させるために必要なクロック

周期は、 T である。膨大な回路群を扱う現在の VLSI の多くが同期式回路設計方式を採用している。

2.3. クロック信号とフリップフロップ

クロック信号とは High(1) と Low(0) を一定の周期で交互に繰り返す信号である。High から Low を立ち下がり、Low から High を立ち上がりと呼ぶ。図 2-2 はクロック信号の時間 t における High/Low (Low/High) への変化を表す。

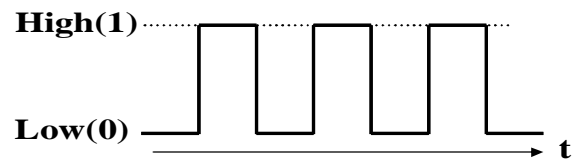


図 2-2. クロック信号の時間変化

同期式回路の代表的な記憶素子としてフリップフロップ (D-FF) がある。FF は、データ入力 D 、クロック入力 CLK の入力端子をもち、データ出力 Q の出力端子をもつ (図 2-3 参照)。

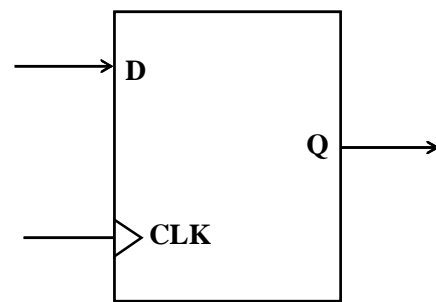


図 2-3. Dフリップフロップ

D-FF には、Positive-Edge タイプ (P 型) と Negative-Edge (N 型) タイプの 2 種類があり、P 型では、クロックが立ち上がる時のみに、データ信号 D が内部に取り込まれ取り込まれた信号が出力信号 Q として出力され続ける。N 型は、クロックが立ち下がる時、同様なデータ取り込みが行われる。クロックがその他の状態では、それまでの内部データが保持され、出力 Q は一定で値が保持される。

2.4. 配線による信号遅延

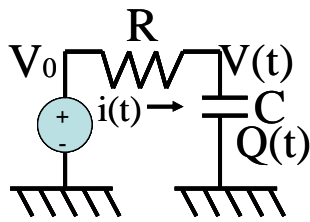


図 2-4 . RC モデル

図 2-4 は単純な LSI 配線の RC モデルである。V は電圧，R は抵抗，i は電流，Q は電荷量，C は配線容量，t は時間変化を表す。このモデルから電圧 $V(t)$ は，次の式(2.4.1)が導かれる。

$$V(t) = V_0 (1 - e^{-\frac{t}{RC}}) \quad (\text{式 2.4.1})$$

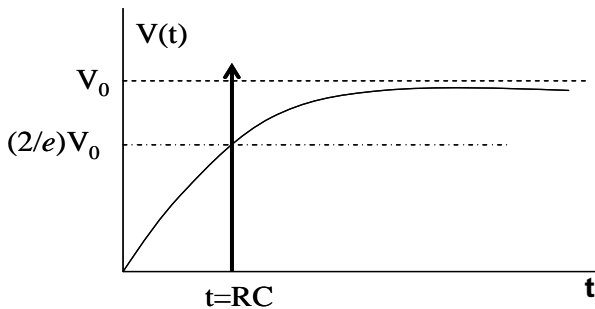


図 2-5 . 時間変化 t における $V(t)$ の変化

図 2-5 から， $t_0 = RC$ における電圧 $V(t_0)$ は，

$$\begin{aligned} V(t_0) &= V_0 (1 - e^{-\frac{t_0}{RC}}) \\ &= V_0 (1 - e^{-1}) \approx \frac{2}{3} V_0 \end{aligned} \quad (\text{式 2.4.2})$$

である。即ち，スイッチが入れられてから電圧 $V(t)$ が約 $2/e V_0$ まで上昇するまでの時間となる。いま，トランジスタスイッチの動作電圧を $2/e V_0$ 程度とすれば，配線抵抗 R と配線容量 C の積 RC で配線による遅延があることがわかる。

2.5. 高性能な回路設計におけるクロックの問題

VLSI の性能とは，情報処理の多様さ，処理の高速さ，また，消費電力の低さをさす。

高性能な回路を設計するためには，高速な処理を実現する必要があり，そのためには，素子の動作速度や素子間の信号伝播を高速化する必要がある。

2.2 節で述べたように同期式回路は回路中の全ての FF 回路にクロック信号が同時に到達することを前提としている。しかし，2.4 節で説明したように回路の物理的特性から配線によって信号遅延が生じ，各 FF に供給されるクロック信号の遅延差が生じる。これらのクロックの到達時間のばらつきをクロックスキューと呼んでいる。

クロックスキュー T ($T > 0$) があると，全回路の処理時間の最大 T に対してクロック周期は， $T + T$ となり，クロック周期の短縮の妨げとなる。

LSI 設計に伴い，総配線量は膨大なものとなり，これによる電力消費が支配的なものとなっている。特に，クロック信号は LSI 全体に分配されるため配線本数が多く，かつ長い配線が多い。よって消費電力も増大し，全体の約 50% を占める。

3. 均等距離配線と均等距離点の分布

より少ないクロックスキューでクロック信号を FF まで供給するためには，クロック回路は，次の 2 つを満たす必要がある。

- 1) クロック源から各 FF までの途中に挿入される素子数を均一にする。
- 2) クロック源から各 FF までの途中の配線長(配線遅延)を均一にする。

以下，これらを満たすクロック回路の構成法について説明する。

3.1. n 分木構造によるクロック回路の構成方法

今，VLSI のクロック回路を作成する対象として，任意のクロック源 S が与えられ， N 個の FF の入力端子を集合 $P^{(0)} = \{p_i \mid i = 1, 2, \dots, N\}$ とし，VLSI 回路にランダムに置かれていたと仮定して(図 3.1(a)参照)次の操作をおこなう。

- 1) レベル $L = 0$ ， $NN(L) = N$ とする。

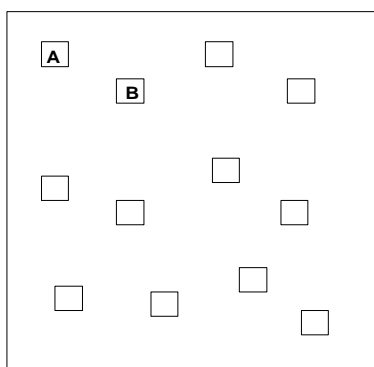
2) 端子 p_i について相互に近接する m 番目の端子集合 $P_k^{(L)}(m)$ を求める

3) $P_k^{(L)}(m)$ の要素 p_j までの均等距離点 $pc(m)$ を求める ($pc(m)$ から p_j までの配線遅延は 0 となる.)

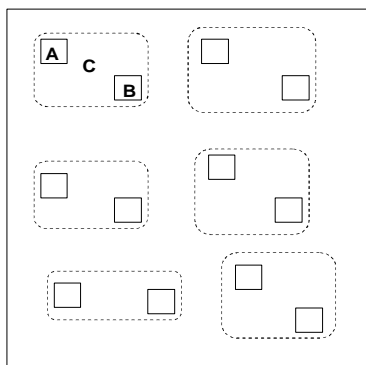
4) $NN(L)/n$ が > 1 であれば, $pc(m)(m = 1, \dots, NN(L)/n)$ を新たに端子集合 $P^{(L+1)}$ の $p_i(i = 1, \dots, NN(L+1))$ と定義しなおし, $NN(L+1)$ $NN(L)/n, L = L+1$ として,再度 2) に戻る.

以上の操作で作られた階層や中間点により,最大数 n の分岐数となるツリー構造が作られる.これを n 分木構造と定義する.

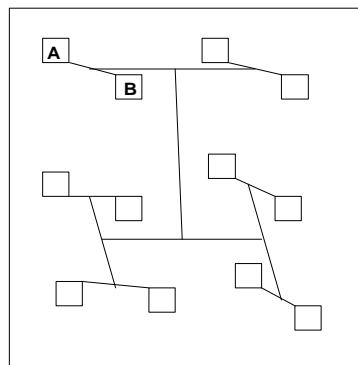
次に図を用いて, $n=2$ の場合の n 分木の作成手順を説明する. 図 3-1(a) は, ステップ 1) に相当する初期定義を示し, ランダムに置かれた 12 個の FF 端子を \square で表したものである.



(a)端子群



(b)ペアの生成



(c)二分木構造

図 3-1 . 二分木生成例

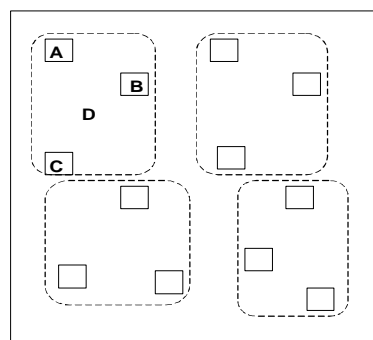
ステップ 2) として最も近接している端子をペアとして部分集合をつくる. 例としてその一部を A および B のペアとして図 4(a) に示す. 次に, ステップ 3) では, A, B によるグループから均等距離点を C として求める様子を示す (図 3-1(b) 参照).

ステップ 3) として C を上位のレベルにおける端子とみなして, 再度, ステップ 2) へ戻り下位の全端子から最も隣接する 2 個のグループを作り, 各グループに上位端子を生成しておく.

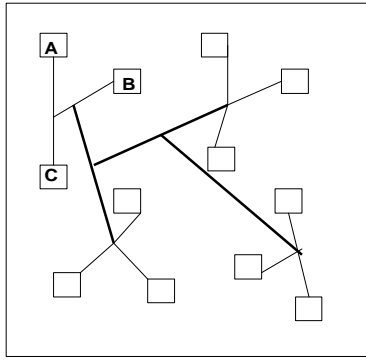
以上の操作を繰り返して得られた 2 分木構成を出力して処理を終了する (図 3-1(c) 参照).

分木構造の各レベルの端子と上位の端子を直線で結んだ図を図 3-1(c) に示す. 本例の $n=2$ で端子数が 12 個である分岐点数は 10 点, 階層数は 4 である.

$n=3$ の三分木構造についても同様の処理を行う (図 3-2 参照).



(a)三端子グループの生成



(b)三分木構造

図 3-2 . 三分木生成例

本例では分岐点数が6点、階層数が3となる三分木構造が得られる。

3.2. n分木構造の枝数と段数

前述のように、クロックスキューを最小にするために、木構造のクロック回路が用いられている。ここで木構造のクロック回路の規模について考察する。

分岐数 n と分岐点の数、階層数は計算式によって見積もることができる。[1]

いま端子数を N 、分岐点数を S とすれば、

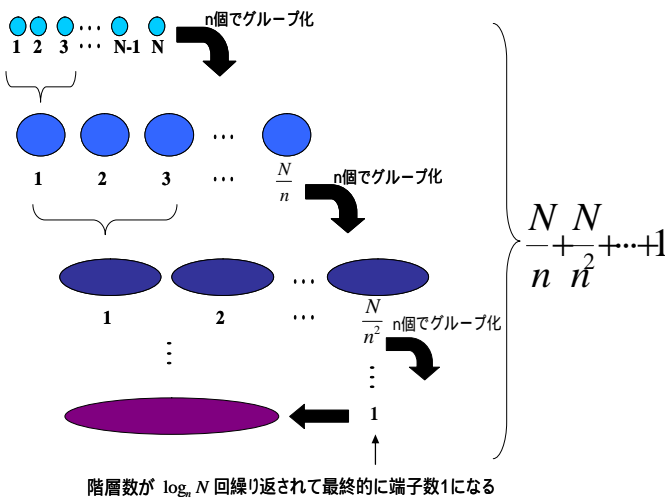


図 3-3 . 分岐点数の生成

図 3-3 のように $\frac{N}{n}, \frac{N}{n^2}, \dots$ と 1 になるまで分岐点数は生成される。これを式に表すと、

$$\begin{aligned}
 S &= \frac{N}{n} + \frac{N}{n^2} + \frac{N}{n^3} + \dots + \frac{N}{n^{\log_n N}} \\
 &= N \left\{ \left(\frac{1}{n}\right)^1 + \left(\frac{1}{n}\right)^2 + \left(\frac{1}{n}\right)^3 + \dots + \left(\frac{1}{n}\right)^{\log_n N} \right\} \\
 &= N \frac{\frac{1}{n} \left\{ 1 - \left(\frac{1}{n}\right)^{\log_n N} \right\}}{1 - \frac{1}{n}} = \frac{N}{n} \left(\frac{1 - \left(\frac{1}{n}\right)^{\log_n N}}{1 - \frac{1}{n}} \right)
 \end{aligned}$$

階層数は分木数を n 、端子数を N 、階層数 L としたとき、

$$L = \log_n N$$

と表すことができる。

$N = 100$ としたときの $n=2\sim 5$ について分岐枝数と n の関係は図 3-4 のように示される。

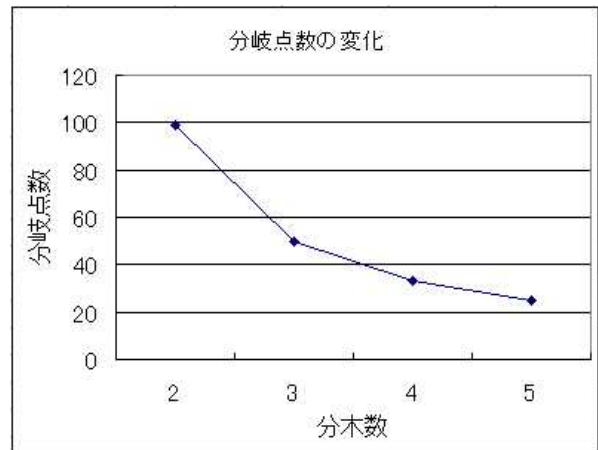


図 3-4 . 端子数 $N = 100$ における n 分木の分岐点数 S の変化

図 3-4 によれば、 $n=2$ において分岐数 99 個になる。 $n=3$ では 49 個となり、分岐数は n を 1 つ変化させることで 50% 削減できることがわかる。

また、 $N = 100$ としたときの $n=2\sim 5$ について階層数と n の関係は図 3-5 のように示される。

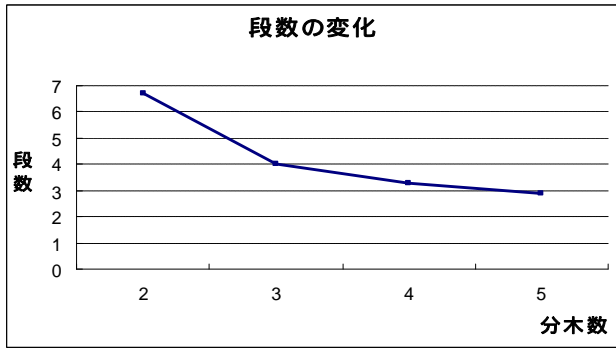


図 3-5 . 各分木数に対する階層数の値

より消費電力の少ないクロック回路をつくるためには、階層数や中間点がすくない分木構造が望まれる。図 3-5 からわかるように、計算上は約 7 階層となる二分木より約 4 階層となる三分木のほうがクロック回路として低消費電力となる。本節の考察により、 n がより大きければ、より低消費電力なクロック回路が得られることがわかる。

3.3. 均等距離点決定における問題

一方、クロック回路では、クロックスキューを 0 にする必要がある。ここでは、分岐数と均等配線について考察を行う。

本節では先ほどの n 分木生成手法のステップ 3) において、VLSI レイアウト設計における配線制約に基づく均等距離点を求める必要性を述べた。

もし、配線形状に特に制約が無ければ、各端子 p_i からの直線距離で均等となる点 p_c を求めることになる。しかし、実際の VLSI レイアウト設計では、配線形状は縦横（水平垂直：Rectilinear）のみに限定される場合がある。このような制約があるとき、端子数が 3 であっても、均等距離点を求めることは一般的に容易ではない。

3.3.1. 直線における均等距離点計算

$n=3$ の場合には、3 つの端子 p_1, p_2, p_3 について、その 3 端子がつくる三角形の外接円の外心(中心)は各端子からの均等距離点 p_c となることは明らかである(図 3-6 参照)。

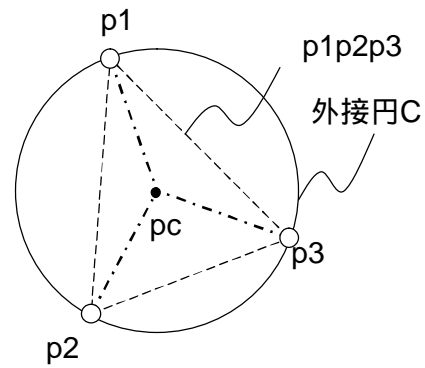


図 3-6 . 3 点と外接円, 外心 ($p_c = p_1 = p_2 = p_3$)

p_c を求めるアルゴリズムは、以下のとおりである。

```

Euclid_center(){
  a12 = (p1.y - p2.y) / (p1.x - p2.x) ; // p1~p2の直線の傾き
  p12.x = (p1.x + p2.x) / 2.0;
  p12.y = (p1.y + p2.y) / 2.0; // p1とp2の中間座標
  a1 = -1.0 / a12; // p1~p2の直線との垂直線の傾き
  b1 = p12.y - (a1 * p12.x); // 中間座標を通る垂直線のy切片
  a23 = (p2.y - p3.y) / (p2.x - p3.x) ; // p2~p3の直線の傾き
  p23.x = (p2.x + p3.x) / 2.0;
  p23.y = (p2.y + p3.y) / 2.0; // p2とp3の中間座標
  a2 = -1.0 / a23; // p2~p3の直線との垂直線の傾き
  b2 = p23.y - (a2 * p23.x); // 中間座標を通る垂直線のy切片
  pc.x = (b2 - b1) / (a1 - a2); // 2つの垂直線の交点x座標
  pc.y = (a1 * pc.x) + b1; // 2つの垂直線の交点y座標
}

```

$p_1.x$ は端子 p_1 の x 座標, a_1 (a_2) は $p_1(p_3)$ と p_2 を結ぶ直線の傾き, $a_1(a_2)$ は $p_1(p_3)$ と p_2 の直線に垂直となる直線の傾きをそれぞれ表す。 p_{12} を通る傾き a_1 の直線と p_{23} を通る傾き a_2 の直線の交点を導き出し、均等距離点 $p_c(x, y)$ を求めることができる。

3.3.2. Rectilinear 制約における均等距離点

前述のアルゴリズムによる均等距離点と、Rectilinear で計測した均等距離点の差異を調べるため、座標をランダムに作成した N 組の 3 端子で比較する実験おこなった [2]。

ここで、Rectilinear 均等距離点 P_c と直線による均等距離点 P_e と差異は、各点の x, y のそれぞれの差の絶対値を加算し、端子の広がりを MBB (Minimum Bounding Box : 3 点を全て包含する最小

矩形)の半周囲長を L との比率 δD (式 3.9)として評価した。

$$\delta D = (|Pc.x - Pe.x| + |Pc.y - Pe.y|) / L_{MBB} \text{ (式 3.9)}$$

図 3-7 に、 $N=1000$ における δD の頻度分布を表す。横軸は D 、縦軸は 1000 組の各ばらつきの頻度を表す。 $D=0$ 、すなわち、Rectilinear 均等距離点と直線による均等距離点と一致する頻度は全体の 2.9%であり、ほとんどの場合不一致となる。前節の結論として、クロック回路としてより大きな分岐数が望ましいが、一方で n が 3 端子以上では、均等距離点そのものを求めることが難しい、あるいは、Rectilinear 均等距離点を求めるという新たな課題が生じてしまう。

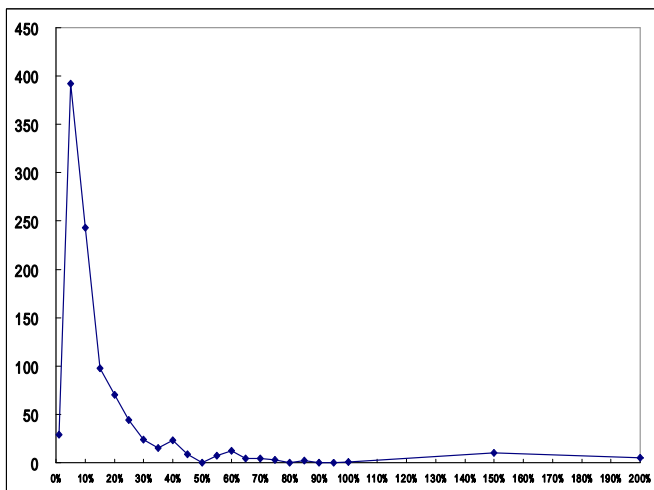


図 3-7 . Rectilinear 均等距離点と直線による均等距離点の誤差

4. 均等距離点をもつ最大の n の調査

以上の高性能な同期設計方式のためのクロック回路に関する議論をまとめると、

- 1) クロック回路は、信号源から入力端子まで均等な構成が必要。
- 2.5 節で説明したように、この条件が満たされればクロックスキューが最小になるため、高性能な L S I の動作が保障される。
- 2) n 分岐の木構成により上記を満たす可能性がある。
- 3.1 節で説明したように n 分岐の木構造では、

クロック源から各 FF 端子まですべて均等な階層数、配線数で構成可能である。また、 n が大きければより小規模なクロック回路が得られる。

- 3) n 分岐において、 $3 - n$ の分岐数のとき、各階層における配線長均等点を算出可能かどうかについて不明である。($n=2$ では算出可能)

以上から、より高性能な V L S I、即ち、高速動作可能で、消費電力の低い回路を設計するためには、均等点を得られる最大の n を求めることが重要となる。

4.1. Rectilinear における均等距離点算出法

次のようにして Rectilinear における均等距離点を求めることができる。

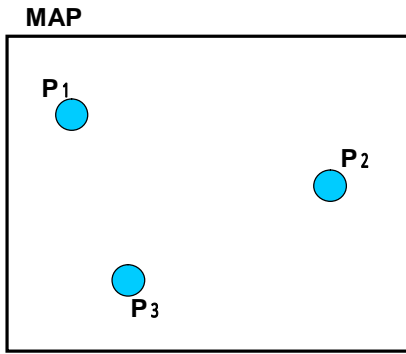
[Rectilinear における均等点算出アルゴリズム]

- 1) 一辺の長さ W を定義し、 $W \times W$ の大きさをもつ配線領域 MAP について、この MAP 上に擬似乱数で求めたランダムな座標をもつ点 n 点 P_i ($i=1,2,\dots,n$) を生成する。(図 4-1(a)を参照)
- 2) P_i ($i=1,2,\dots,n$) を包含する MBB 内の任意の点 P_s について、 P_s から P_i ($i=1,2,\dots,n$) までの Rectilinear の距離 $LR(P_s, P_i)$ と定義して、その差異 L を求める

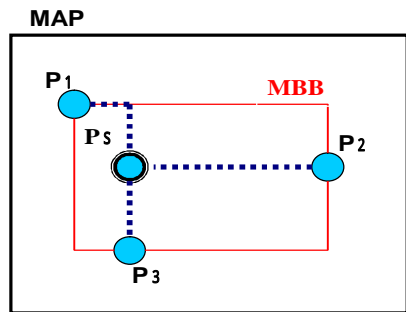
$$\Delta LR = \sum_{(i,j) \in P} |LR(P_s, P_i) - LR(P_s, P_j)| \quad \text{(式 4.1)}$$

なお、式(4.1)では、 n 個の端子の全ペア (i,j) の総和である。

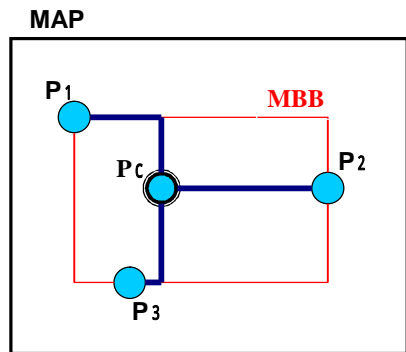
- 3) LR が最小となる P_s を探して均等距離点 P_c とする。(図 4-1(c)を参照)



(a)端子n=3の端子配置モデル



(b)P1~3とPsの配置モデル



(c)P1~3とPcの配置モデル

図 4-1 . 端子 n=3 の均等距離点 Pc 配置モデル

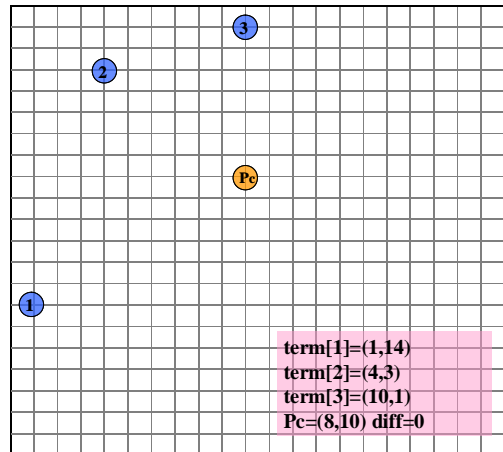
4.2. 最大の n を求める実験

W = 20 の 20x20 の MAP について , n=3 および 4 の端子 1000 組を作成した実験データに対して . 本アルゴリズムを適用し 均等距離点 Pc と各端子 p(i) と距離差の最大値 , 最小値の差を LR としてを以下の式(4.2)で評価をおこなった .

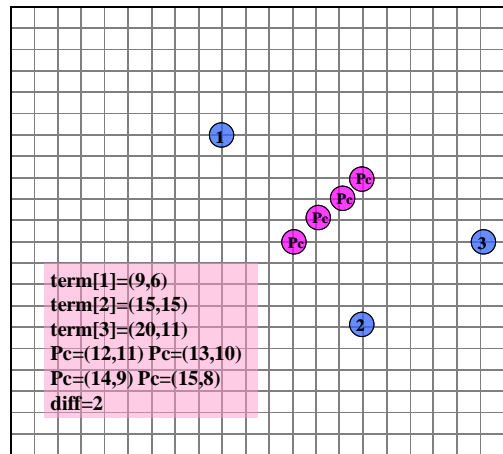
$$\delta LR = \text{Max}_{i \in n} \{LR(Pc, Pi)\} - \text{Min}_{i \in n} \{LR(Pc, Pi)\} / L_{MBB}$$

(式 4.2)

以下に実験により生成された n=3 および n=4 端子の場合の端子例を示す .

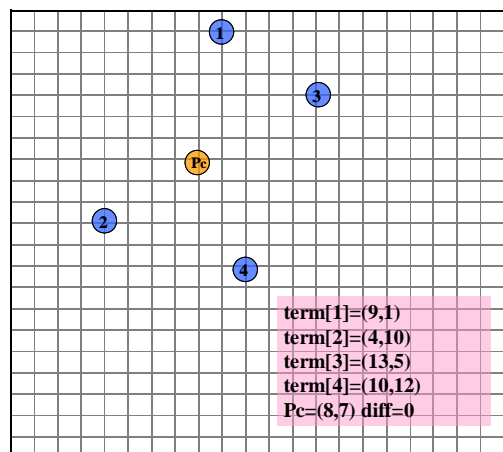


(a) 端子 1~3 から Pc までの各マンハッタン距離が等しい場合

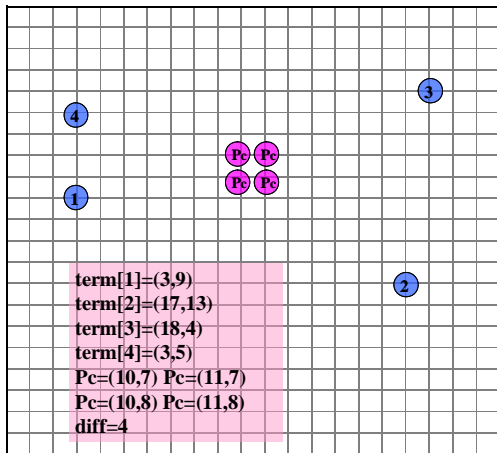


(b) 端子 1~3 から Pc までの各マンハッタン距離に誤差がある場合

図 4-2 . n=3 端子の場合



(a)端子 1~4 から Pc までの各マンハッタン距離が等しい場合



(b)端子 1~4 から P_c までの各マンハッタン距離に誤差がある場合

図 4-3 . n=4 端子の場合

図 4-2~3 の term[1]は端子 1 の(x,y)座標を意味し、 P_c はRectilinearにおける均等距離点の(x,y)座標を意味する。マンハッタン距離とは2点間の(x,y)座標の各差の絶対値の総和を2点間の距離とするもので、diffは端子1~3からRectilinear均等距離点までの各マンハッタン距離の誤差の総和を表す。

表 4-1 . LR の各比率における出現頻度数

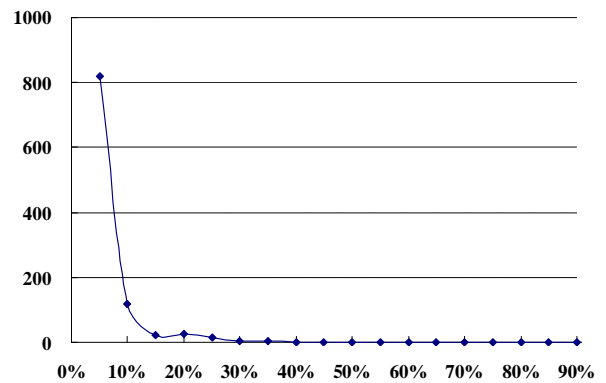
(a) n=3 端子の場合

LR(%)	出現頻度数
0.0%	214
0% ~ 5%	604
5% ~ 10%	118
10% ~ 15%	21
15% ~ 20%	24
20% ~ 25%	13
25% ~ 30%	4
30% ~ 35%	2

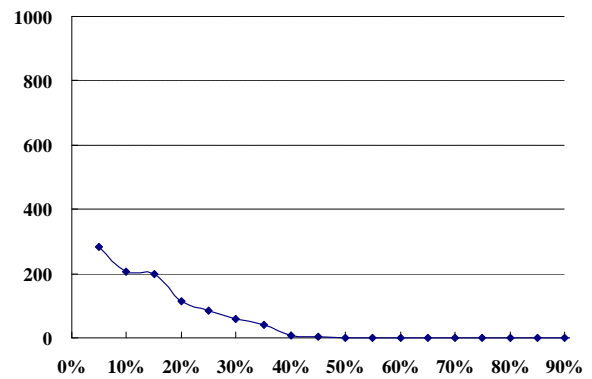
(b)n = 4 端子の場合

LR(%)	出現頻度数
0.0%	63
0% ~ 5%	220
5% ~ 10%	207
10% ~ 15%	197
15% ~ 20%	115
20% ~ 25%	86
25% ~ 30%	60
30% ~ 35%	41
35% ~ 40%	7
45% ~ 50%	4

表 4-1 は LR の各比率における 1000 組の出現頻度数を表す。表 4-1(a)の n=3 の場合、0.0%に 214 組、0.0%~5%に 604 組と 5%以内に多く分布している。表 4-1(b)の n=4 の場合、0.0%のものが 64 組と各端子から均等距離点までのマンハッタン距離の差に誤差がないものが全体の 1 割に満たないとわかる。以下にこの結果をグラフに示す。



(a) n = 3 端子の LR と出現頻度



(b) n = 4 端子の LR と出現頻度

図 4-4 . 端子数 n と均等距離点差異 LR

図 4-3(a)に n=3 ,図 4-3(b)に n=4 の LR の頻度分布を示す。横軸は LR ,縦軸は頻度を 5%単位で示している。

図 4-3(a)の n=3 の場合、5%程度が 800 以上、10%程度が 100 程度であることから、全体の 90%の場合で、配線ばらつきが 10%以内で均等点が求められていることがわかる。

一方，図 4-3(b)の $n=4$ の場合，5%程度が 300 以上，10%程度が 200 程度であり，全体の 50%程度まで配線ばらつき 10%以内で均等点が求められていることがわかる．

4.3. 考察

以上の議論，実験結果から著者は，次のような結論を得た．

クロック回路を構成するための木構造において，分岐数 n として最大は 3 程度まで可能である．

理由は以下のとおりである．

- 1) 従来の 2 端子の木構造に比べて，全端子数 100 程度の場合，50%程度，配線数，階層数を削減できる．
- 2) 3 端子の木構造では，90%以上の確率で Rectilinear の配線制約の下で 10%程度の誤差範囲で均等距離点を求めることができる．

5. まとめ

縦横配線を前提とした， n 個の端子からの均等距離点について計算機による調査を行った．実験によれば， $n=3$ では約 94%という比較的高い精度で求められることがわかった．我々は 3 端子クロックにおける回路の効率化や配線長削減効果を報告したが[1]，本調査でも均等距離点を求める上で 3 端子が好都合であることが判明した．今後，3 端子の均等距離点を求めるアルゴリズムとして，本論文で報告した直線による均等距離点が乱数によって生成した 3 端子の MBB 内に 98%という高い確率で生成されるという結果から，直線による均等距離点から縦横配線を前提とした Rectilinear の均等距離点を求めるアルゴリズムを検討する予定である．

参考文献

- [1] 下川遥香，海老江光，豊永昌彦 二分木と三分木のクロックツリー配線長の比較 平成 19 年度電気関係学会 四国支部連合大会 1-5 (2007 9 月 29 日)

- [2] 横山周平，海老江光，豊永昌彦 クロック端子の均等距離点の分布に関する研究 平成 20 年度電気関係学会 四国支部連合大会 1-10 (2008 9 月 27 日)