

SoC 設計フローにおける最適な ECO 適用段階判定法

A Method of Optimal Design Stage Decision in SoC Design Flow

杉本 聖 1) 宮城 悠 2) 吉田 佑馬 2) 村岡 道明 3) 豊永 昌彦 3)

Akira Sugimoto 1) Haruka Miyagi 2) Yuma Yoshida 2) Michiaki Muraoka 3) Masahiko Toyonaga 3)

1) 高知大学理学部 2) 高知大学大学院理学専攻 3) 高知大学 情報講座

Information Science Division, Faculty of Science, Kochi University

あらまし

半導体製造プロセスの微細化で VLSI レイアウト設計後のタイミングエラーが多発し、VLSI 設計フローの部分修正 (ECO) が不可欠となってきた。一方、どの設計段階で ECO するかは経験に依存しており、最適化する技術が確立していない。

本論文で、どの設計段階で ECO すべきかを判定する指標について議論する。もし、設計エラー量が α で、配置 ECO が α より大きく改善する、配置 ECO が最適であることは自明である。一方それが α より小さいなら別の、例えば「論理 ECO」まで戻らねばならない。つまり配線 ECO の改善量がわかれば、ECO の適用段階の最適化ができる。

我々は ECO 判定のための配置 ECO 改善量推定法を提案する。同手法は、ランダム配置と仮定に基づいた高速なものである。同推定手法は、実際の配置 ECO と比較しながら構築したもので、評価実験によれば、高精度で配置 ECO 改善量が推定できることが確認されている。

キーワード: ECO 設計, 設計フロー, 配置, 評価関数

1. はじめに

近年、情報化社会の進展に伴い、小型化、高性能化、さらには低電力な電子器機を求められ、コア部品である VLSI の微細化が進んでいる。VLSI を微細化することで、信号遅延が小さくなり、1 チップに搭載する素子数を大きくでき、また消費電力も小さくできるためである。

しかし、VLSI 設計では、設計修正が必須となる。なぜならば、微細化による設計規模の増大により、設計変更や、ミスおよびタイミングエラーなどが多発するためである。大規模化した設計を一度に確定することが難しいため設計変更が生じる。また、大規模回路は、そのものがミスを誘発しやすい。そして微細化は、配線信号遅延とトランジスタスイッチ遅延と割合を変えるため、上位の設計でタイミングを見積もることが難しいためである。

これら LSI 設計の変更やミス、タイミング修正を、効率よくおこなう技術として ECO (Engineering Change Order) がある。ECO とは、設計開発において最終段階で発見されたエラーを一部修正する技術を

指す[1]。例えば論理回路の一部修正や、レイアウト設計における一部の素子配置改善や配線修正などが ECO で行われる。

ECO は、修正を効率よくするためのものであるが、設計におけるどの段階で適用するかにより、処理時間が変わる。例えば、論理設計 ECO をおこなえば、配置 ECO や配線 ECO を行わなければ、回路修正は完了しない。一方、それらが配置 ECO や配線 ECO のみで修正されるならば論理設計 ECO を行わないだけ短時間で修正が完了する。

しかし ECO をどの段階でおこなうべきかを判定する有効な技術が提案されてこなかった。従来の ECO 技術は、主に「どうやって修正するか」が中心で「どの段階で修正するか」「どこの領域を修正するか」の議論が無い。例えば、2000 年の International Symposium on Physical Design で J. Cong と M. Sarrafzadeh による Incremental physical design[2]では、配線や配置の一部修正技術を紹介しているものの、どの程度のエラーまで修正できるかについては述べられていない。

そこで本論文において著者は、ECO について設計段階の「どの段階で修正するか」「どこの領域を修正するか」について技術検討をおこない、その最適化を目指す。

本論文においてまず配置 ECO における改善値、改善場所、改善範囲について調べた。同調査において、同じ大きさの素子 (大きさ 1×1) を持つ回路の初期配置を用意し、素子の領域 (S) においてシミュレートドアニーリング法 (SA 法) を用いた配置 ECO をおこなって初期配置からの改善値を求めた。また、S を配置領域で移動させて改善場所や改善範囲についても調査した。

縦横 30 の素子を並べた配置問題 (サイズ 30×30) において、縦横 5 素子の領域 S (5×5) において素子サイズを距離 1 としたときの配線長が初期配置において 244 であったものが配置 ECO により配線長が 174~218 まで 26~70 の改善がみられた。

次に縦横 10 素子の領域 $L=10 \times 10$ で同様に配置 ECO の結果をみると、領域 S の場合に比べて約 1.7 倍改善されることがわかった。

一方、これとは別に領域 S (5×5) の素子をランダム

に入れ替えた場合の改悪値についても調べた。すると、ランダム改悪値と配置 ECO 改善値に相関係数 $R = -0.62$ となる強い負の相関関係を見出した。これは、領域 S のランダム改悪値から領域 S の配置 ECO 値を逆比例関係で推定できることを意味する。

我々は、これらから領域 S のランダム改悪値から領域 S の配置 ECO 改善値を推定する方法、およびサイズを広げた任意の領域 L の配置 ECO 改善値を推定する方法を提案する。

同提案手法により、ECO を設計段階の「どの段階で修正するか」「どの領域を修正するか」を最適化する基本技術が提供できる。

以降、本論文は以下の構成である。2章で設計フローと ECO 適用段階判定について述べる。また、3章で配置 ECO による改善値について説明する。4章では配置 ECO 改善値の推定について説明する。5章でまとめをおこなう。最後に謝辞を記す。

2. 設計フローと ECO 適用段階判定

2.1 設計フロー

大規模化した LSI を一度に設計することが難しいため、LSI 設計は、幾つかの設計段階による LSI 設計フローで行われる。

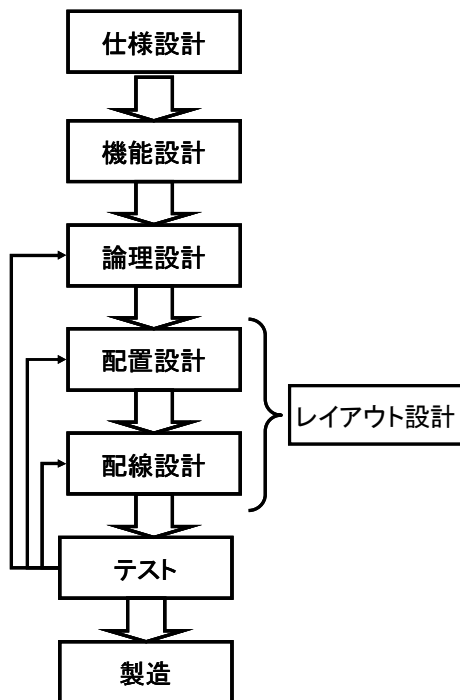


図 2-1. LSI 設計フローと ECO フロー

図 2-1 に示すように LSI 設計フローの各段階には、仕様設計、機能設計、論理設計、配置設計と配線設計を行うレイアウト設計、テストの流れで構成されている。

LSI 設計フローにおける各段階の処理は以下の通りである。

仕様設計：LSI 仕様となる機能（情報処理内容）や処理速度（タイミング）を決める。

機能設計：処理を実現するアルゴリズムなどを決める。

論理設計：論理素子と信号で処理を回路設計する。

配置設計：物理素子のチップ上の位置を決める。

配線設計：物理素子の端子間を接続する配線パターンを決める。

テスト：LSI の機能とタイミングを確認する。

2.2 ECO フロー

半導体製造の微細化で、設計規模が増大したため、設計変更や、設計ミスおよび物理現象に伴うタイミングエラーなどが多発している。そのため設計の最終段階で発見したエラーを一部修正する ECO と呼ばれる技術[2]が重要となる。ECO により設計変更やミス、タイミングエラーが効率よく修正できる。ECO に係わるフローを図 2-1 の設計フローの左側に矢印で示す。

ECO を伴う設計フローについて説明する。

矢印が論理設計へ戻る場合を論理 ECO と呼ぶ。例えばタイミングエラーの場合では、論理回路における回路段数を小さくする、あるいは使用する論理素子の駆動能力を上げることや、信号途中で駆動用素子を挿入するなどの一部変更を行う作業が行われる。論理 ECO が行われた場合には、例えば、論理 ECO で変更された素子について削除、挿入、入替える配置 ECO と関連する信号配線をやり直す配線 ECO が必要である。

矢印が配置設計へ戻る場合を配置 ECO と呼ぶ。例えば配線長が長いために生じたタイミングエラーなどの場合に素子位置の変更で配線長を短縮するなどの配置改善作業が行われる。

矢印が配線設計へ戻る場合を配線 ECO と呼ぶ。例えば配線経路が近接しすぎたため生じるクロストークが原因のタイミングエラーの場合に配線経路の一部変更を行って配線間隔を広げたり、新たにシールド配線を挿入したりする作業が行われる。

これら各 ECO の処理について表 2-1-1 にまとめる。表 2-2-1 の矢印は、上位の ECO を行った場合にもなう下位の ECO の作業を示している。

論理設計ECO	回路段数変更	駆動能力変更	駆動素子挿入	—	—
配置ECO	素子の削除・挿入	素子の入れ替え	素子挿入	配置改善	—
配線ECO	一部配線やり直し	一部配線やり直し	一部配線やり直し	一部配線やり直し	経路変更

表 2-2-1. 主な ECO の処理の例

2.3 ECO の課題

表 2-2-1 で示すように ECO の処理コストや処理時

間は、適用する ECO の段階により変わる。例えば、論理設計 ECO を行えば、配置 ECO と配線 ECO を行わなければならない。また配置 ECO では配線 ECO 修正が必要であるが、論理設計 ECO は不要となる。つまり、ECO 設計フローのより下位段階で行えば、設計修正期間が短縮できる。

しかしながら、設計フローのどの段階で ECO を行うかについて判定する技術や提案は、著者の知るところ確立されていない。

我々は、本論文において ECO 適用段階を判定技術の確立を目指して、配置 ECO による推定配線長の改善値に注目した。

いま、タイミングエラーが α として、もし配置 ECO での改善が α 以上であれば、配置 ECO から行えばよいことがわかる。一方、配置 ECO の改善が α より小さいならばタイミングエラー α の修正には論理設計 ECO から行わなければならないと判断ができる。

しかし、この配置 ECO の改善量を求めるには、配置におけるどの場所で、どの範囲で配置改善すればよいか分からない。また、実際に配置領域全てで様々な範囲で配置 ECO をして調べるならば、膨大な時間がかかってしまう。

そこで配置 ECO 改善値(タイミング改善値)の推定法についての研究し最適な ECO 適用段階判定の技術確立を目指した。

3. 配置 ECO の改善値

本章で、我々が行った配置 ECO 改善値、改善場所、改善範囲の調査実験について述べる。

3.1 配置 ECO 改善値

配置 ECO 改善値に関する定義を説明する。

実験では、図 3-1 に示すような回路配置を用いた。同回路配置には、縦横にサイズ 1 の素子が $N \times N$ 個配され、これらの配置評価関数(総配線長)を $val()$ とする。

さらにこの回路配置を n 個の素子を含む領域 S_i ($i = 1, 2, \dots, n$) に分割したとする。



図 3-1. 回路規模 9×9 $S = 3 \times 3$ の例

ここで任意の位置の領域 S_i について注目し、その配置解を pi 、領域 S_i を配置 ECO で配置改善したときに得られた配置解を qi とする。配置 ECO であるため、領域 S_i 以外の回路配置は変更されない。この様子を図 3-2 に示す。

ここで配置解 pi のときの $val(pi)$ から配置解 qi のときの $val(qi)$ の配置評価関数差を $\Delta C(S_i)$ とする。これを配置 ECO 改善値と定義する。これを式で書くと次式 (3-0) となる。

$$\Delta C(S_i) = val(pi) - val(qi) \dots (3-0)$$

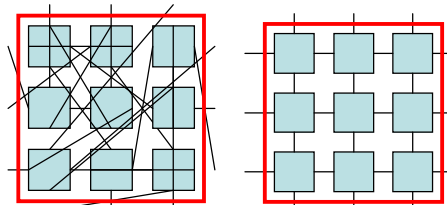


図 3-2. 領域 S_9 の配置解 p_9 (左)と配置解 q_9 (右)

3.1 配置 ECO 改善値と位置依存性

配置 ECO の改善値と配置 ECO 位置について次のように調べた。

調査で用いた回路配置は、縦横にサイズ 1 の素子の $N \times N$ ($N = 30, 40, 50, 60$) のもので、素子間の接続は格子状につながれたものを用いる。

初期配置は、ペアワイズ (PW) 交換法により配置改善した結果を用いる。領域 S_i のサイズは 5×5 と固定した。また、配置評価関数 $val()$ は、各配線のつながる素子を含む最小矩形 (MBB : Minimum Bounding Box) の半周囲長を推定配線長としてその総計とする。

配置 ECO では、領域 S_i の素子について、Simulated Annealing (SA) 法による配置改善を用いた。SA 法の適用条件は、初期温度 $T_s = 10$ 、終了温度 $T_e = 0.1$ 、冷却率 $Cool = 0.9$ 、各温度の熱平衡までの繰り返し回数を S_i 内の素子数 $\times 100$ 回である。

以上の条件でおこなった実験結果について、回路規模 30×30 、 $S_i = 5 \times 5$ における結果を表 3-1-1 に示す。

i は、領域 S_i の領域番号、 $val(pi)$ は領域 S_i における初期配置の評価関数値、 $val(qi)$ は領域 S_i における配置 ECO 処理後の配置評価関数値、 $\Delta C(S_i)$ は配置 ECO 改善値を表す。図 3-1-1 の x 軸を領域 S_i の領域番号 i 、y 軸を配置 ECO 改善値とする。

図 3-1-1 より、配置 ECO 改善が行う場所により改善値が大きく違うことがわかる。すなわち、最も改善した領域では、配置 ECO 改善値 $\Delta C(S_i)$ が 70 になり、最も改善が少ない領域でも $\Delta C(S_i)$ が 26 である。

ここでは示さないが回路規模が 40×40 、 50×50 、 60×60 の場合も同様に、配置 ECO の領域の位置により改善値大きく異なることが見られた。

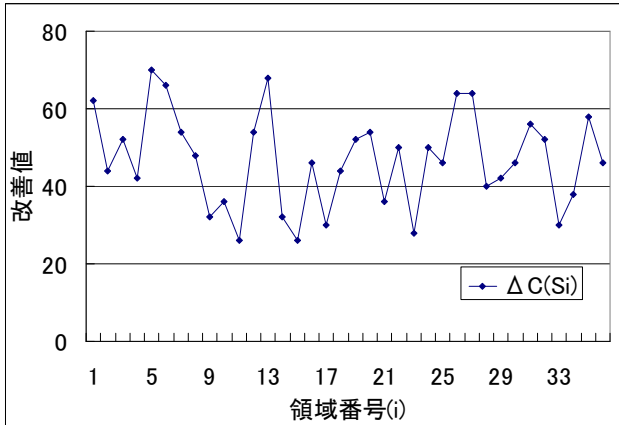


図 3-1-1. 回路規模 30×30 S=5×5 の ΔC(Si)

i	val(pi)	val(qi)	Δ C(Si)
1	12244	12182	62
2	12244	12200	44
3	12244	12192	52
4	12244	12202	42
5	12244	12174	70
6	12244	12178	66
7	12244	12190	54
8	12244	12196	48
9	12244	12212	32
10	12244	12208	36
11	12244	12218	26
12	12244	12190	54
13	12244	12176	68
14	12244	12212	32
15	12244	12218	26
16	12244	12198	46
17	12244	12214	30
18	12244	12200	44
19	12244	12192	52
20	12244	12190	54
21	12244	12208	36
22	12244	12194	50
23	12244	12216	28
24	12244	12194	50
25	12244	12198	46
26	12244	12180	64
27	12244	12180	64
28	12244	12204	40
29	12244	12202	42
30	12244	12198	46
31	12244	12188	56
32	12244	12192	52
33	12244	12214	30
34	12244	12206	38
35	12244	12186	58
36	12244	12198	46

表 3-1-1. 回路規模 30×30 S=5×5 の結果

3.2 配置 ECO 改善値の範囲依存性

次に、配置 ECO 改善値の ECO 範囲依存性について調査を行った。[4]

前述と同じ条件の実験において、領域 Si を領域 Lj として領域サイズを 10×10 に広げ、配置 ECO 改善値

ΔC(Lj)を実験で調べた。その結果、図 3-2-1 のようなプロット図が得られた。図 3-2-1 で x 軸は領域 Lj の領域番号 j, y 軸は配置 ECO 改善値 ΔC(Lj)を表す。

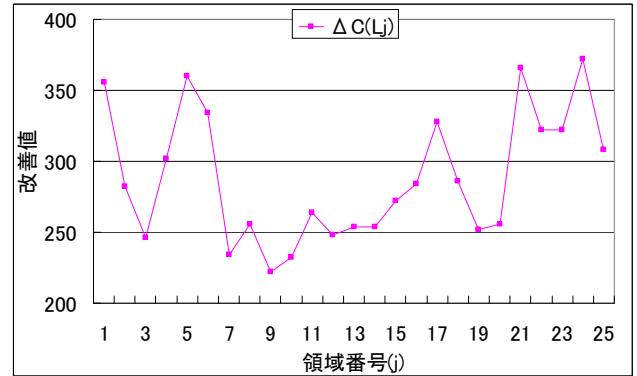


図 3-2-1. 回路規模 30×30, S=10×10 の ΔC(Lj)

ここで、大きさの異なる領域 Lj と領域 Si について配置 ECO 改善値の関係を考察するため、領域 Lj 内に含まれる領域 Si の配置 ECO 改善値 ΔC(Si)を総和した値 ΔC'(Lj)を次式(3-2-1)のように定義する。

$$\Delta C'(L_j) = \sum_{S_i \in L_j} \Delta C(S_i) \quad \dots(3.2.1)$$

この ΔC'(Lj)は、領域 Lj を領域 Si の個別に配置 ECO した場合に得られる配置改善値に相当する。

領域 Lj の配置 ECO 改善値と ΔC'(Lj)に相関があるならば、配置 ECO 改善値は、ECO をおこなうサイズに対して線形関係であり、相互の改善値が異なれば、非線形関係となる。

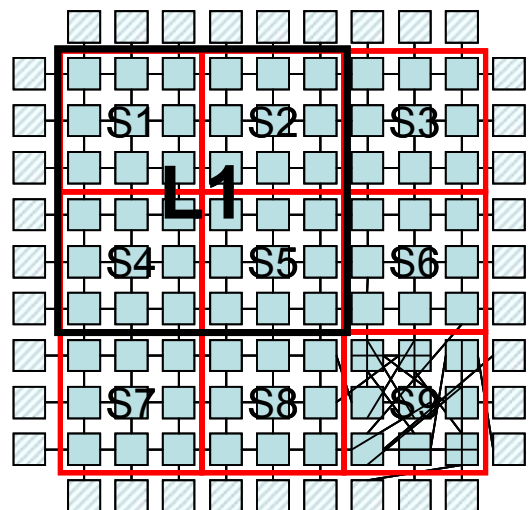


図 3-2-2. 回路規模 9×9,S=3×3,L=6×6 の例

表 3-2-1 に、本実験について、回路規模 30×30 , $S=5 \times 5$, $L=10 \times 10$ としたときの L_j の配置 ECO 改善値 $\Delta C(L_j)$ および、 L_j の $\Delta C'(L_j)$ の値を示す。 j は、領域 L_j の領域番号を示し、 $\Delta C(L_j)$ は配置 ECO 改善値、 $\Delta C'(L_j)$ は領域 L_j 内の領域 S_i の配置 ECO 改善値 $\Delta C(S_i)$ の総和である、 $\Delta C(L_j)/\Delta C'(L_j)$ は $\Delta C(L_j)$ と $\Delta C'(L_j)$ との比を表している。

表 3-1-1. 回路規模 30×30 $S=5 \times 5$ の結果

j	$\Delta C(L_j)$	$\Delta C'(L_j)$	$\Delta C(L_j)/\Delta C'(L_j)$
1	356	208	1.71
2	282	176	1.60
3	246	162	1.52
4	302	174	1.74
5	360	216	1.67
6	334	202	1.65
7	234	138	1.70
8	256	140	1.83
9	222	138	1.61
10	232	154	1.51
11	264	206	1.28
12	248	148	1.68
13	254	158	1.61
14	254	154	1.65
15	272	152	1.79
16	284	216	1.31
17	328	218	1.50
18	286	190	1.51
19	252	160	1.58
20	256	166	1.54
21	366	218	1.68
22	322	210	1.53
23	322	172	1.87
24	372	178	2.09
25	308	192	1.60

図 3-2-3 は、回路規模 30×30 , $S=5 \times 5$, $L=10 \times 10$ のときの $\Delta C(L_j)$ と $\Delta C'(L_j)$ をプロットしたもので、x 軸は領域 L_j の領域番号、y 軸は配置 ECO 改善値を示している。

図 3-2-3 によれば、 $\Delta C(L_j)$ と $\Delta C'(L_j)$ に相関が見られる。そこで両者の相関係数を図 3-2-4 に示してみるとその相関係数 $R=0.76$ となり、強い相関であることがわかる。

このことから、領域 L_j の配置 ECO 改善値は、それを構成する領域 $\Delta C(S_i)$ の総和と相関を持ち、また、領域が大きいくほど配置 ECO 改善値は大きくなることわかる。表 3-2-1 よれば、領域 L_j の改善値 $\Delta C(L_j)$ は、 $\Delta C'(L_j)$ の約 1.7 倍となっている。 L_j と S_i の領域サイズが縦横で 2 倍であることと、1.7 倍である。

また、ここでは示さないが回路規模が 40×40 , 50×50 , 60×60 についても、同様な強い正の相関関係がみられており $\Delta C(L_j)$ は、 $\Delta C'(L_j)$ の定倍数であった。

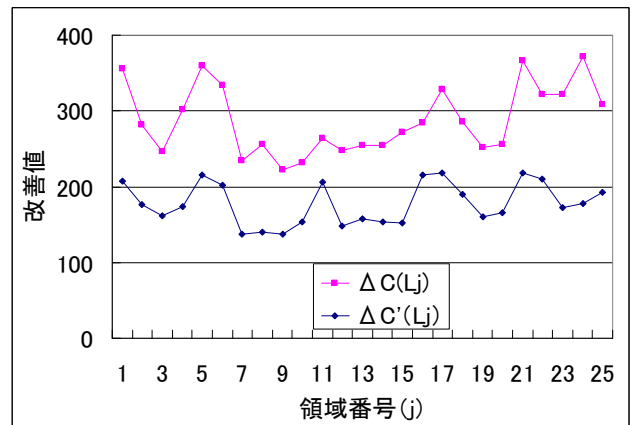


図 3-2-3, 回路規模 30×30 , $S=5 \times 5$, $L=10 \times 10$ の $\Delta C(L_j)$ と $\Delta C'(L_j)$

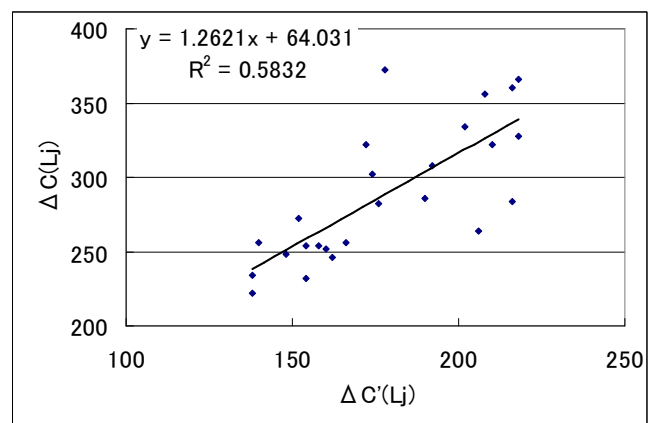


図 3-2-4 $\Delta C(L_j)$ と $\Delta C'(L_j)$ の相関

4. 配置 ECO 改善値の推定

以上のようにして、実際の配置 ECO を行って、配置 ECO 改善値、配置 ECO 範囲、配置 ECO 位置についての調査について述べた。

しかし、これらの配置 ECO 改善値の位置依存性、範囲依存性を実際の回路設計において配置 ECO を行って調べることは処理時間が膨大となり現実的ではない。

本章では、領域 S_i の配置 ECO 改善値 $\Delta C(S_i)$ を推定する方法を具体的に提案する。 [3]

4.1 小領域 S の配置 ECO 改善値推定

配置改善の視点を離れて、ここでランダム配置について検討をおこなう。

我々が、ランダム配置に注目するのは、その処理が非常に短時間な点である。ランダム配置は、素子あたり数回行うだけで十分得られる。回路規模 3×3 , 4×4 , 5×5 の同様な回路で初期解からランダム配置によるの評価関数値の変化を図 4-1-0 に示す。図の横軸は入れ替え回数、縦軸が評価関数値である。グラフでは 200 回までランダム配置の推移を示した。同図によれば

ば、素子数程度の入れ替えでランダム配置に達していることがわかる。

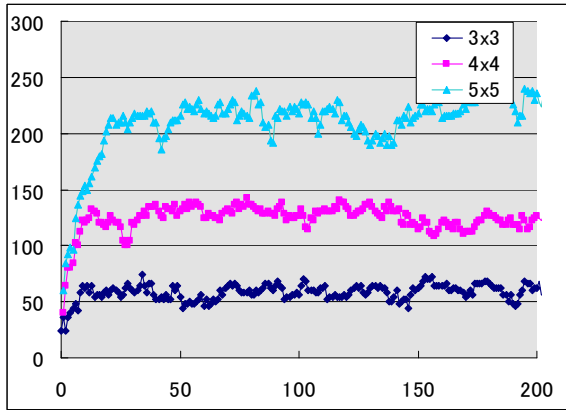


図 4-1-0 ランダム配置の評価関数値の変化

我々は、この高速処理可能なランダム配置を使って配置 ECO 改善値推定する方法を考案した。以降、その方法について説明する。

以下で扱う回路配置は、ここまでの議論と同様に n 個の領域 $S_i(i=1,2,\dots,n)$ で構成されているものとする。また、領域 S_i の配置解を p_i とする。

ここで S_i に対して、内部の素子をランダムに入れ替え配置することでランダム配置解 x_i を作ったとする。さらに、配置解 p_i と配置解 x_i の配置評価関数値の差 ΔC^* をランダム改善値(ランダム改悪値)と定義する。

すると、 $\Delta C^*(S_i)$ は次式(4.1.1)となる。

$$\Delta C^*(S_i) = val(x_i) - val(p_i) \dots (4.1.1)$$

これらの値 $\Delta C^*(S_i)$ と $\Delta C(S_i)$ を実験から求める。素子サイズを 1 として、回路規模 $N \times N$ ($N=30, 40, 50, 60$) での格子状に接続関係をもつ回路を用いる。初期配置は、ペアワイズ交換法で配置改善を行ってものを用いる。

領域 S_i のサイズを 5×5 として、全配置領域で配置 ECO 改善値 $\Delta C(S_i)$ と $\Delta C^*(S_i)$ を求めた。配置評価関数と配置改善の SA 法は、3 章と同じ条件であるが、ランダム配置については、 S_i のサイズ $\times 100$ 回の配置交換とした。

図 4-1-1 に、回路規模 30×30 , $S=5 \times 5$ のときの配置 ECO 改善値 $\Delta C(S_i)$ とランダム改悪値 $\Delta C^*(S_i)$ をプロットしたものを示す。ここで x 軸は領域 S_i の領域番号 i , y 軸は改善値である。同図によれば、 $\Delta C(S_i)$ と $\Delta C^*(S_i)$ は、逆の相関がみられる。実際に、相関関係を図 4-1-2 に、 $\Delta C(S_i)$ と $\Delta C^*(S_i)$ の相関関係をグラフで示すが、その相関係数は

$$R = -0.62 \quad (R^2=0.3889)$$

となり、強い負の相関がみられた。ここでは示さないが、 40×40 , 50×50 , 60×60 の規模でも、 ΔC と ΔC^* には強い負の相関がみられた。

これらの相関関係から、領域 S_i の改善値 $\Delta C(S_i)$ がランダム改悪値 $\Delta C^*(S_i)$ により逆相関として推定できることがわかる。

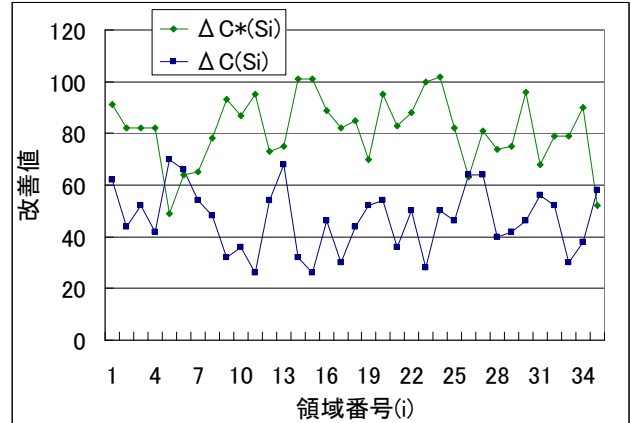


図 4-1-1. 回路規模 30×30 $S=5 \times 5$ の $\Delta C(S_i)$ と $\Delta C^*(S_i)$

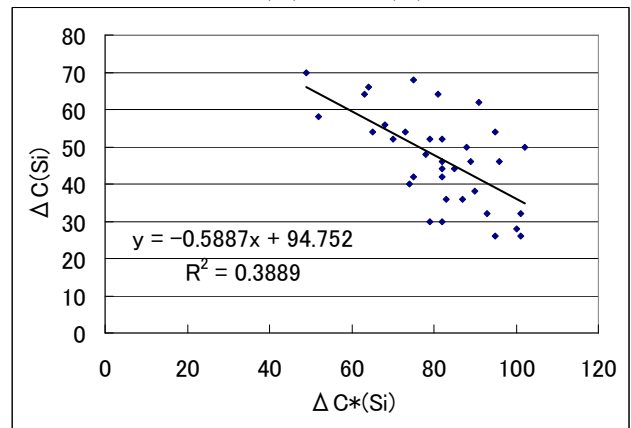


図 4-1-2. 回路規模 30×30 $S=5 \times 5$ の $\Delta C(S_i)$ と $\Delta C^*(S_i)$ の関係グラフ

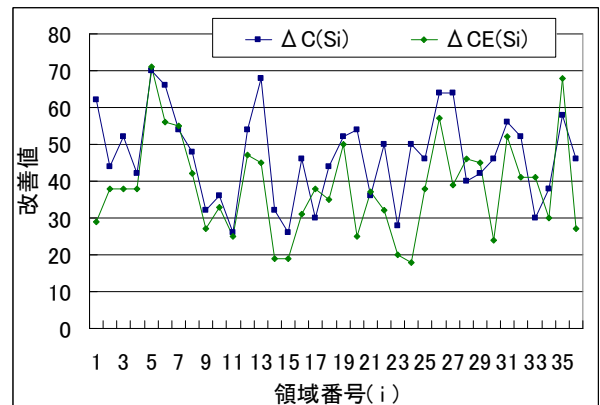


図 4-1-3. 回路規模 30×30 $S=5 \times 5$ の $\Delta C(S_i)$ と $\Delta CE(S_i)$

実際に、領域 S_i のランダム改悪値 ΔC^* を反転させて(逆相関)、一定量シフトさせてみたものを図 4-1-3 に示す。

我々は、この逆相関を利用して次式(4.1.2)で、配置 ECO 改善量の推定式を構築した。

$$\Delta CE(S_i) = -\Delta C^*(S_i) + \beta \quad \dots(4.1.2)$$

ここで $\Delta CE(S_i)$ は、推定配置 ECO 改善値である。また、 β はシフト量、 $\Delta C^*(S_i)$ はランダム配置改悪値である。

図 4-1-1 の $\Delta C^*(S_i)$ の結果に対し式(4.1.2)より $\Delta CE(S_i)$ を求めた。ただし $\beta=120$ とする。図 4-1-3 は、 $\Delta C(S_i)$ と $\Delta CE(S_i)$ をプロットし、x 軸は小領域 S_i の領域番号、y 軸は改善値を表す。

図 4-1-3 から領域 S_i の $\Delta C^*(S_i)$ を求めれば式(4.1.2)から領域 S_i の配置 ECO 改善値 $\Delta C(S_i)$ が推定できそうである。シフト量 β の決定方法については次節で説明する。

4.2 シフト量 β の決定方法

シフト量 β の決定方法について考える。式(4.1.2)を整理すると、式(4-2-1)が求まる。

$$\beta = \Delta C(S_i) + \Delta C^*(S_i) \quad \dots(4.2.1)$$

今、シフト量 β が定数とすると、右辺の小領域 S_i によらず、任意の小領域 S_i 一点の $\Delta C(S_i)$ と同小領域のランダム改悪値 $\Delta C^*(S_i)$ のみわかれば、 β を決定することができる。すなわち、小領域 1 箇所のみ配置 ECO とランダム配置を行うことで式(4-1-2)を確定できる。

そこで試しに、図 4-1-1 の結果に対し実験を行う。 ΔC^* の値が最大となる小領域 S_r の値と ΔC^* の値が最小となる小領域 S_s の値を調べた。 S_r の場合、 $\Delta C^*(S_r)=102$ 、 $\Delta C(S_r)=50$ となり $\beta=152$ となる。 S_s の場合、 $\Delta C^*(S_s)=49$ 、 $\Delta C(S_s)=70$ となり $\beta=119$ となる。 β を S_r と S_s の領域の場合とし、式(4.1.2)により $\Delta CE(S_i)$ を求めた。

図 4-2-1 は、 $\Delta C(S_i)$ と S_r で β を決定した場合の $\Delta CE(S_i)$ 、 S_s で β を決定した場合の $\Delta CE(S_i)$ をプロットし、x 軸は小領域 S_i の領域番号、y 軸は改善値を表す。

図 4-2-1 より、領域 S_r で β を決定した場合の $\Delta CE(S_i)$ は、 $\Delta C(S_i)$ と比べ、上回っていることがわかる。また、小領域 S_s で β を決定した場合の $\Delta CE(S_i)$ は、 $\Delta C(S_i)$ と比べ下回っていることがわかる。2つの間に $\Delta C(S_i)$ があることがわかった

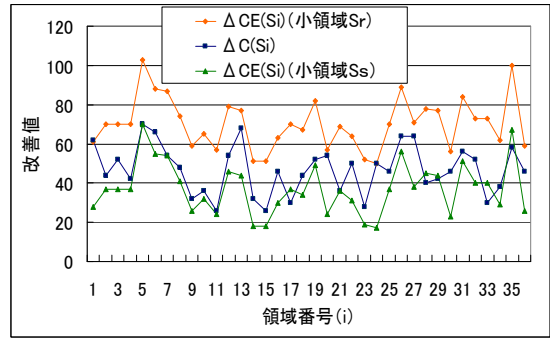


図 4-2-1. 回路規模 30×30 $S=5 \times 5$ の $\Delta C(S_i)$ と $\Delta CE(S_i)$ (小領域 S_r) と $\Delta CE(S_i)$ (小領域 S_s)

4.3 大領域の配置 ECO 改善値推定方法

3.2 章より、大領域 L_j の配置 ECO 改善値 $\Delta C(L_j)$ と大領域を構成する小領域 S_i の配置 ECO 改善値 $\Delta C(S_i)$ の和 $\Delta C'(L_j)$ には、定数倍の関係がみられた。そこで、大領域 L_j を構成する小領域 S_i の式(4.1.2)より求めた $\Delta CE(S_i)$ の和より、次の式(4.3.1)を検討する。

$$\Delta CE^*(L_j) = \alpha \times \sum_{i \in L_j} \Delta CE(S_i) \quad \dots(4.3.1)$$

ここで、 α は未定乗数である。

この式(4.3.1)から、領域 L_j の $\Delta CE^*(L_j)$ を実験により求めた。

実験を行う回路は、 30×30 の格子状に接続されたものを使う。PW 交換法で配置改善を行って得た。小領域 S_i の大きさを 5×5 とし、大領域 L_j の大きさを 10×10 とする。すべての小領域 S_i について、ランダム改悪値 $\Delta C^*(S_i)$ を求める。 $\beta=119$ とし、式(4.1.2)より $\Delta CE(S_i)$ を求める。 $\alpha=1.7$ とし、式(4.3.1)より $\Delta CE^*(L_j)$ を求める。また、大領域 L_j の配置 ECO 改善値 $\Delta C(L_j)$ を求める。配置評価関数、配置 ECO は 3 章と同じ条件とする。ランダム配置解は、素子をランダムに 100 回入れ替える。

図 4-3-1 は、 $\Delta C(L_j)$ と $\Delta CE^*(L_j)$ をプロットし、x 軸は大領域 L_j の領域番号、y 軸は改善値を表す。

図 4-3-1 より、大領域 L の配置 ECO 改善値 $\Delta C(L_j)$ は、式(4.2.1)により推定できそうである。

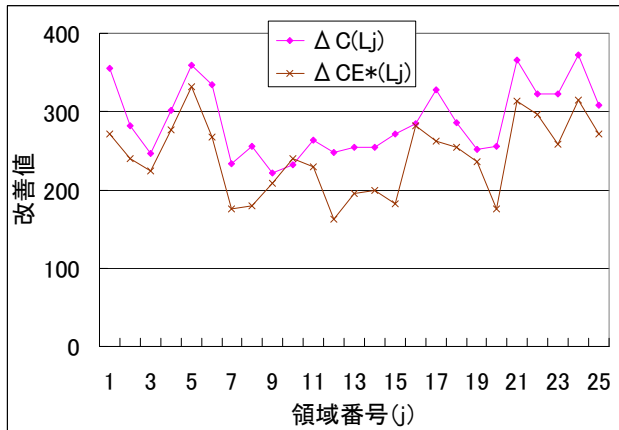


図 4-3-1. 回路規模 $30 \times 30, S=5 \times 5, L=10 \times 10$ の $\Delta C(L_j)$ と $\Delta CE^*(L_j)$

4.4 考察

以上の実験により式 (4.3.1) において未定乗数 α と式(4.1.2)のシフト量 β を調整することで配置 ECO 改善値が推定できることを示したが、ここで α と β の決定方法については十分議論されていない。今後の研究が必要である。

なお、参考までに異なるサイズの回路規模 50×50 領域 $S=5 \times 5$ 大領域 $L=15 \times 15$ について、 $\Delta C^*(S_i)$ から大領域 L_j の $\Delta C(L_j)$ を同様に推定できることを $\alpha=2$, $\beta=126$ として図 4-4-1 と図 4-4-2 に示しておく。

5. まとめ

小領域 S のランダム配置を利用して配置 ECO 改善値の推定する方法を検討した。小領域 S 内の素子をランダムに入れ替え、初期配置からのランダム改悪値を求めた。改悪値と配置 ECO による改善値には、相関係数は $R = -0.62$ と強い負の相関関係がみられた。この結果より、小領域 S の改悪値から小領域 S の改善値を推定する方法を提案した。

最後に小領域 S の改悪値から任意の領域 L の配置 ECO 改善値を推定する方法を提案した。

以上の実験を通じて、ECO について設計段階の「どの段階で修正するか」「どの領域を修正するか」について最適化のための推定方法の基本技術が完了した。

今後の課題として、未定乗数 α とシフト量 β の決定方法についてさらなる研究の必要がある。

謝辞

我々は、本研究を進めるにあたり助成いただいた、独立行政法人科学技術振興機構(平成 21 年度シーズ発掘試験課題番号 14-071)に深く感謝いたします。

参考文献

- [1] Ullman, David G (2009) The Mechanical Design Process, Mc Graw Hill, 4th edition
- [2] J. Cong, M. Sarrafzadeh, "Incremental physical design" International Symposium on Physical Design, pp. 84-92, 2000.
- [3] 宮城悠, 吉田佑馬, 村岡道明, 豊永昌彦, “レイアウト配置 ECO の有効性判定法”, 情報処理学会 DA シンポジウム 2009 論文集, Vol.2009, pp.67-72.
- [4] 杉本聖, 宮城悠, 吉田佑馬, 豊永昌彦, “LSI 配置の ECO 有効範囲の特定法”, 平成 21 年度電気関係学会 四国支部連合大会 1-18 (2009 年 9 月 26 日)

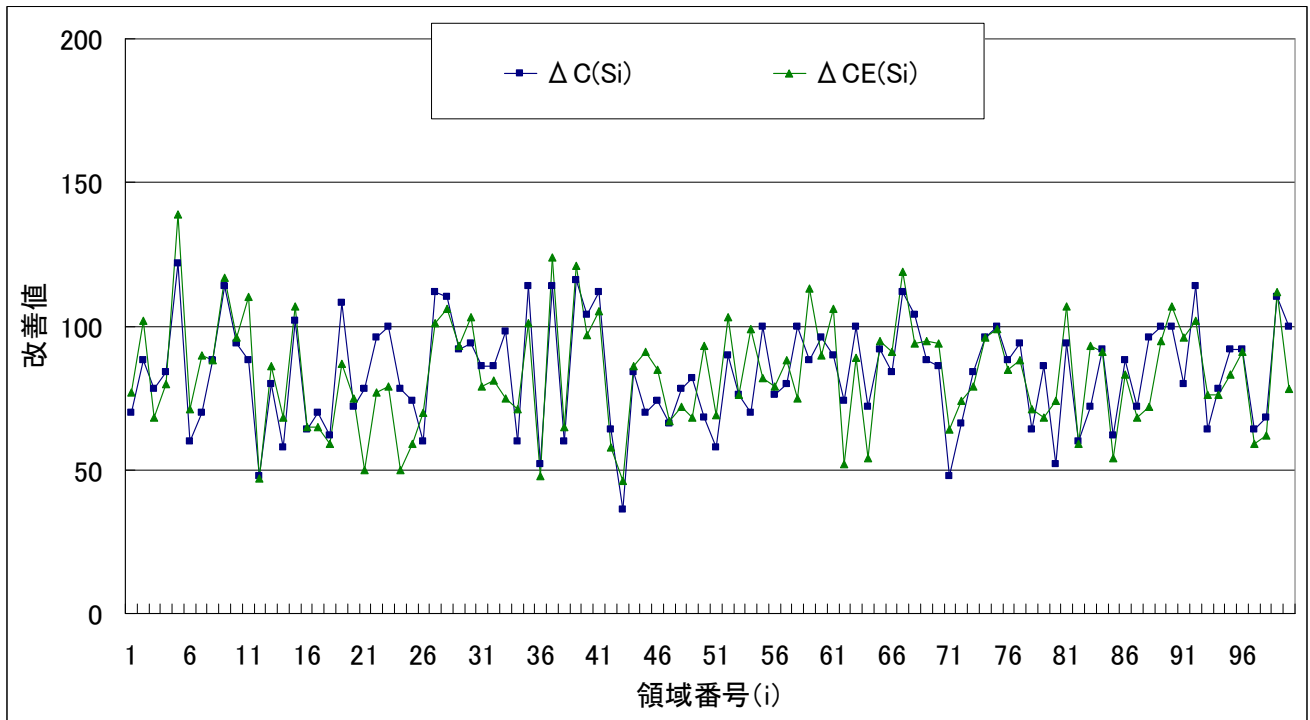


図 4-4-1. 回路規模 $50 \times 50, S=5 \times 5$ の $\Delta C(S_i)$ と $\Delta CE(S_i)$

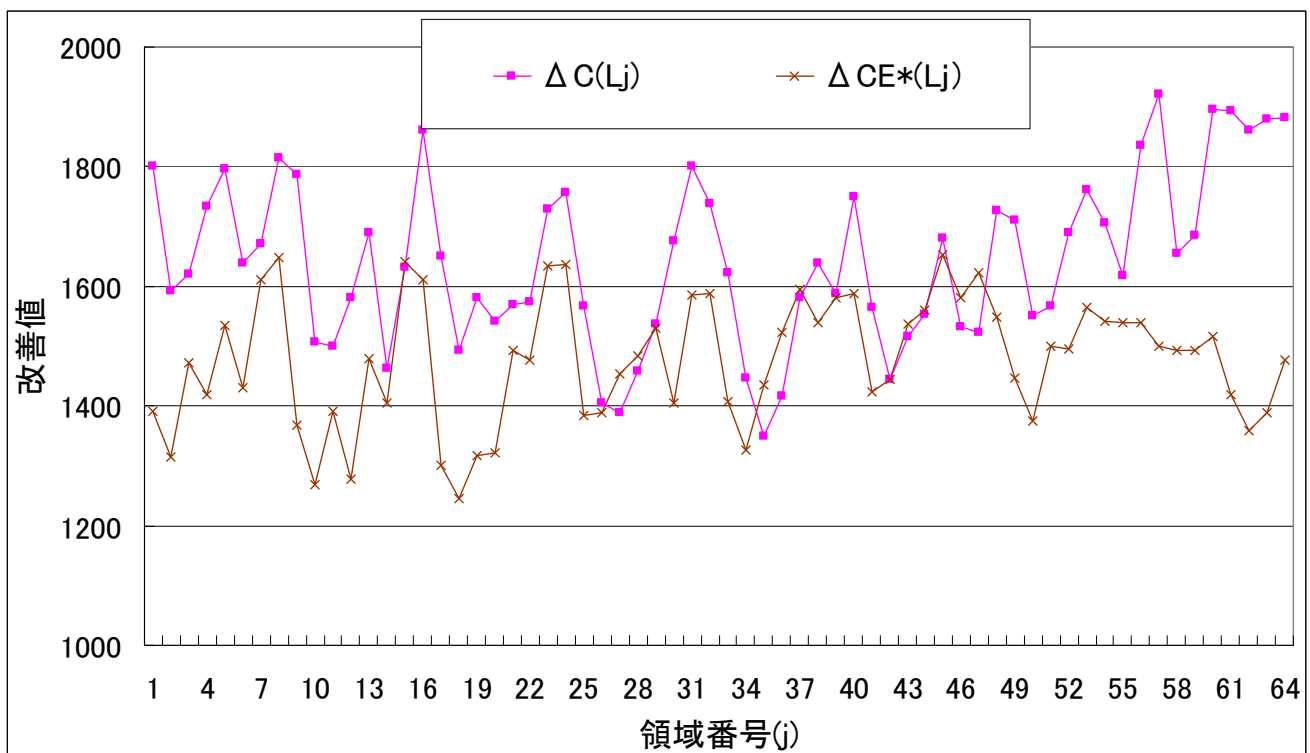


図 4-4-2. 回路規模 $50 \times 50, S=5 \times 5, L=15 \times 15$ のときの $\Delta C(L_j)$ と $\Delta CE^*(L_j)$