

高知大学大学院総合人間自然科学研究科

理学専攻応用理学コース情報科学分野

2009年度修士論文要旨

LSI とパッケージのための 45 度多層配線法の研究

応用理学コース 情報科学分野

來栖 正博

情報化社会を支える、電子機器の部品である LSI の高性能化、小型化、低価格化やパッケージの高性能化が望まれている。LSI とは、多数のスイッチを集積した半導体集積回路のことであり、パッケージとは、幾つかの LSI チップを集積した実装回路のことである。

LSI の高性能化・低コスト化は、製造微細化によって進められてきた。半導体製造微細化により、素子が相互に近接するため信号遅延が短く、また 1 チップに搭載できる素子数を増やすことができ素子あたりのコストが減少するためである。

一方、微細化により配線遅延が遅れるなどタイミングエラーが多発し、未配線が生じるため修正のための設計やり直しが不可欠となる。これらは DSM (DeepSubMicron) 問題と呼ばれる。

また、パッケージの高性能化・低コスト化は、搭載する素子種類の増加と結線の 3D 化により進められてきた。3D 化された配線構造は人手で設計され、高機能な LSI やアナログ素子を同時に多数集積することで 1 チップ LSI より低コストな部品を提供してきた。

近年 SiP (System-in-Package) の部品種類が急増し、その配線自動化が求められるが、配線制約やデザインルールが複雑なため LSI 配線のような自動化が困難である。

本論文は、これら DSM 問題解決や SiP 自動配線にむけた 45 度多層配線手法の有効性について研究を行ったもので、VLSI クロック回路設計法と ECO 配線法および SiP 自動配線法の 3 点についてについて述べる。なお ECO とは、一部の回路のみで修正を完了させる設計技術を指す。

本論文で提案する ECO 配線手法は、従来配線後に Ripup-reroute で 45 度多層配線法により配線特性を改善するものである。ランダムに配した 2 端子ネット (50,100,150 組) について、従来の縦横配線手法と提案手法を、配線率、ビア数、配線長で比較したところ、100 組では配線率は 100%、ビア数は 17.6%、配線長は 7.8% で改善されることがわかった。

本論文で提案するクロック配線法は、本研究室の提案する 3 分木クロック回路に適用することを前提とした 45 度多層配線と端子順序について提案する。2 分木構造、3 分木構造のクロック回路で、従来の縦横配線手法と提案手法を、クロックからの距離バラツキ、平均配線長の比較を行ったところ、2 分木クロック回路では、バラツキは 14.89、平均配線長は 112.82 となり、3 分木クロック回路では、バラツキは 14.81、平均配線長は 81.14 であった。

本論文で提案する SiP 自動配線法は、SiP の 1 つである CSP (Chip-scale-Package) を対象とした自動配線で、特別な端子構造と配線順序について新たな提案する。同配線法を 253 端子をもつ CSP で評価したところ、配線順序を考慮しない場合では、配線率 45.45%、配線順序を考慮した場合は、100% の配線ができることが確認された。

以上の研究により、提案する 45 度多層配線を用いることで、DSM (DeepSubMicron) 問題における遅延時間改善と、ECO による配線率の向上ができる。また、今回のパッケージ自動配線でさらに複雑な設計ルールの反映させることで、SiP 配線の自動化への展開が期待される。

クロストークによる遅延変動を考慮した動的解析手法

応用理学コース 情報科学分野 小林 政幸

近年、半導体の微細化技術の進歩に伴う集積回路の増大と微細化により、高集積化や高性能化が進みつつある。しかし、微細化の進展によりクロストークと呼ばれる現象が問題になっている。クロストークとは、ある配線の信号変化が配線間容量を介して隣接する配線の信号にノイズが現れる現象のことであり、信号遅延を増減させ、最悪の場合回路の誤動作を招く。

従来のクロストーク検出方法としては、信号の経路遅延を網羅的に洗い出してタイミング解析を行う静的タイミング解析 (STA: Static Timing Analysis) と回路シミュレータを組み合わせられていた。しかし、静的な解析手法では論理動作を考慮した経路が反映されないため擬似エラーが検出されてしまい、クロストーク箇所が過剰に検出されてしまうという問題があった。

この問題を解決するために、テストパターンを用いた動的クロストーク解析手法およびそれに起因するタイミングエラー検出手法を提案する。

動的クロストーク解析手法は、レイアウト後の隣接配線箇所を抽出し、それらについてテストパターン入力に対応した論理シミュレーションを行う。次に、隣接配線箇所の動作タイミングを解析することにより、擬似エラーを発生させることなく動的なクロストークの検出を可能とする。

また、クロストークにより生じるタイミングエラー検出手法は、クロストークによる影響で増加する遅延時間を提案する方法で算出し、論理シミュレーションにバックアノテーションすることにより、回路のタイミングエラーを検出する。

本手法を乗算器 5 種と 8 ビット CPU の 6 つの回路を対象として適用、評価を行った。乗算器では回路規模に関わらず、隣接配線箇所のうち動的なクロストークが生じるのは 4 割程度であり、その動的なクロストークがタイミングエラーを生じさせる箇所は 1 割程度以下 (隣接配線箇所の約 4% 以下) であることが判明した。8 ビット CPU では隣接配線箇所のうち動的なクロストークが生じるのは 1% 程度であり、その動的なクロストークがタイミングエラーを生じさせる箇所はなかった。本手法を用いるとクロストークによりタイミングエラーを生じさせる箇所を擬似エラーなしで特定できるため、従来の方法に比較すると配線修正箇所がきわめて少なくなり、動作周波数の高い回路の性能を最大限に引き出すことが可能と考えられる。

時系列気象画像からの時空間相関性発見支援システムの構築

応用理学コース 情報科学分野 坂口 祥太

近年様々な分野でデータマイニングの手法に基づいた大量の時空間データからの知識発見が検討されている（生駒ら，2004 など）。本研究では気象観測衛星ひまわり 6 号（MTSAT-1R）の時系列気象画像を用いて，データマイニングの観点から時空間変動の相関性や特徴的パターンの発見を支援するシステムを構築した。構築にあたっては、(1)分析的手法に加えて試行錯誤や可視化による発見を重視し，GUIを備えた対話的システムとして構築すること，(2)DBMSとシームレスに接続して背後の大量データをユーザーが意識することなく利用できること，(3)拡張性を考慮してこれらのシステムをオブジェクト指向のモデルで構成すること，の3点に留意した。

本論文の前半では，可視化による時空間変動パターンの視覚的発見を目的とした検討を行った。画像のブロックのテクスチャに自己組織化マップによるクラスタリングをおこない，その結果を用いて画像に色付けし，動画化をおこなった。1ヶ月の気象画像を用いた実験から，時空間変動の視覚的発見支援に対する本手法の有用性を確認することができた。

後半では，各地点のブロックの雲量を反映する平均輝度の時系列データを抽出し，遅延を考慮に入れながら基準地点に対する各地点の時系列変化の相関係数を求め，この結果を空間と時間的遅延を3軸とする3次元空間内の等値面やある時間断面のカラーマップとして可視化することによってユーザーによる視覚的な発見を支援するシステムを検討した。このシステムに含まれるデータ処理過程では時空間のキューブ状データから時間断面や特定地点のコラム（時系列）を抜き出す作業が多数回必要である。この過程を効率化して対話性を実現するために，DBMS（PostgreSQL）のラージオブジェクト機能を利用した。時系列画像は一旦ラージオブジェクトに変換され，時間断面やコラムはラージオブジェクトから直接抽出できるように設計した。640×640pixel, 8階調の原画像から作成した40×40block, サンプル間隔2時間のデータで実装を行い，ユーザーが指定する1ヶ月程度の参照期間に対してその場でラージオブジェクトを生成して可視化することによって，対話性を損なわずに結果の表示や試行錯誤が可能なシステムを構築することができた。

今後はこのシステムを核にして、さらに機能を拡張することで、高次の知識発見に対応したシステムを実現することができるものと考えられる。

手話入力装置の開発 2

応用理学コース 情報科学分野 高橋 朋大

近年では聴覚障害者とのコミュニケーションを円滑にするために、手の動きを読み取り言語に変換するための手話変換システムの研究が進められている。手話変換システムに利用される手の動作を読み取る装置はカメラで手を撮影し、画像処理やモーションキャプチャ等で手の動きを読み取る手法と、手袋状になっていて各関節部分などに直接取り付けられた曲げ抵抗から情報を取得し手の状態を読み取る手法に大きく分類され、これらを総称してデータグローブと呼ぶ。現在、データグローブは3次元空間上での手の動きを捕らえ、それを手話の入力やロボットの遠隔操作などに利用する研究が進められている。

本研究室では「手話入力装置の開発」と題して、平成20年度の修士論文として牛田吉章によってまとめられた。その研究では手話認識の第一段階として加速度センサを使用した手話認識装置を製作し、静止時の指文字を対象に研究を行った。その結果、静止時の指文字41文字のうち32文字を認識できた。しかし加速度センサのみでは表裏の判定ができない、手の形状が同様のものを判別できないなどの問題点が挙げられた。そこで先行研究の問題点である表裏の判別するために、カメラからの視覚情報を用いて改善を試みた。複数のカメラによる認識は持ち運びに適さないが、近年では多くのノートパソコンにカメラが内蔵されている。表裏の判別は複眼ではなく単眼で十分である。そのため本研究では、加速度センサに加えカメラで画像を取得することで、手袋の裏と表に異なった色を付けた画像からの判別を行い、認識率の向上を試みた。その結果、本研究により先行研究ではできなかった表裏の認識が可能となった。しかし加速度センサにかかる重力加速度がほぼ同じ方向を示しているものは認識ができなかった。

また本研究では静止時のみでなく動きを伴う指文字の認識も試みた。形状を判別するとともに、加速度センサのからの動きをもとにどの方向に動いたかを判別し、動きを伴う指文字の認識を試みた。

結果として単純な手の振りかたの特徴を見出すことができ、この特徴を用いて動きを認識できるようになった。本研究により新たに静止時の指文字4文字、動きを伴う指文字5文字が認識可能となり、46文字の指文字のうち42文字が認識可能となり、認識率が約91%に向上した。しかし先述のように、加速度センサにかかる重力加速度がほぼ同じ方向を示していて認識できていない指文字が4文字残っている。

また本論文では単純な動きの認識まで可能になった事を踏まえて、今後の課題として挙げられる単語レベル、会話レベルの手話の認識や、それに必要となる単語と単語の間の動きをどのように捕らえるか、教師データとの比較の仕方などについても言及した。

VLSI 設計におけるレイアウト高速配置法の研究

応用理学コース 情報科学分野

竹内 豪

近年の高度情報化社会では、高性能でより小型な電子機器が求められている。電子機器の高性能、小型化は、その重要部品である半導体チップの微細化で支えられている。これは半導体回路が微細化で素子間が近づき信号伝達が速くでき素子の高集積化が可能で高機能化が計れるためである。

しかし、微細化により設計が困難になる DSM (Deep Sub-Micron) 問題が深刻になってきている。DSM 問題とは、配線間隔の近接で電荷容量の増加し、細線化で配線抵抗が増加して信号遅延が増大し、配線や素子の製造ばらつきが増えて製造歩留まりが下がる問題を指す。DSM 問題は、信号経路の距離や、配線経路や配線間隔を決める VLSI 設計工程のレイアウト設計段階で決まり、その概要は、素子位置を決める配置設計が支配している。しかし近年の配置設計は、半導体回路の増大に比例して長時間を要するため、これら DSM 問題解決には高速な配置解が得られる配置手法が望まれる。

本論文で著者は、大規模回路において高速、高品質な配置解を得る新たな配置手法を提案する。まず著者は、素子と素子間の接続情報 (ネットリスト) から接続関係のみを用いた配置法 (Seed 法) に着目する。具体的には、ある素子を種 (シード) として、それに接続する素子群をその周りに配置することを繰り返して配置近似解を得る方法である。Seed 法では、素子 1 つにつきたかだか 1 回程度の処理で完了するため、全素子数 N に対して処理時間は $O(N)$ となり高速である。

しかし、シードとなる素子に接続する素子数や素子形状が様々で、周囲に最適場所に置けないときには隙間や素子の重複などが発生してしまい、高品質な配置解が得られない問題がある。そこで本研究では Seed 法から常に正規解を得るため、グリッド (格子) を設けて、グリッド上に 1 素子を置き、それら素子間の配置交換を通じて近似解を求める新手法 (Peeler 配置手法) を検討する。また、同手法をグリッドの変わりにソート処理を用いてグリッドレスな環境に拡張した AKEBONO 配置手法を提案する。

提案する 2 つの配置法についてそれぞれ実験をおこなった。Peeler 配置手法を簡単な配置問題に適用し、従来手法 (Pair-wise 法) と厳密解と比較したところ、総配線長が Pair-wise 法より 21% 改善され、より優れた配置解を得た。なお処理時間は Pair-wise 法の約 7225 倍短くできることがわかった。また、一般のベンチマーク回路で AKEBONO 配置手法を 4 つの最新の配置手法 (Capo 8.7, Dragon 3.01, FastPlace 3.0, mPL6) と比較したところ、総配線長は他の配置手法に比べて平均 54% 程度長くなってはいるが、処理時間は平均 18.7 倍高速になることがわかった。

これら提案する新配置手法を用いることで、レイアウト設計より上位の設計 (論理設計など) へ DSM 問題解決のための高速な配置解を提供することができ、将来の高集積化された VLSI 設計工程の改善が期待できる。

RESEARCH ON SPECIAL ROUTERS IN CROSSTALK-AVOIDANCE OF VLSI PHYSICAL DESIGN AND SYSTEM-IN-PACKAGE (SIP)

応用理学コース 情報科学分野 HERATH UPUL PRIYADARSHANA

High-performing and cost-effective electronics have a rising demand in today's information society. Very Large Scale Integration (VLSI) and system integration technologies such as System-in-Package (SIP) have emerged as technological breakthroughs in electronic design. However, as the technology keeps on advancing, several issues have surfaced that need designer's special attention.

Crosstalk is a major issue in Deep Submicron (DSM) LSI. Maze router-based rectilinear crosstalk-avoidance routers can only route in the four rectilinear directions. So that they may fail to find alternate paths that avoid parallel runs of aggressor and victim, eliminate acute congestion and shorten wirelength. In order to redress this issue, an Octilinear Re-router for Crosstalk Avoidance (ORCA) is proposed as an augmentation to rectilinear routers. It has the flexibility to route in all eight directions. Use of a label map and multiple candidate point lists are central to the new algorithm. Experiments are conducted using several benchmark circuits, and the efficacy of the octilinear approach over rectilinear method is proven by showing: avoidance of parallel runs, keeping crosstalk-avoidance distance as much as possible, wirelength reduction, handling areas with acute congestion and ensuring routability. Results show that ORCA reduces wire length up to 21.6% in comparison with rectilinear routing.

System-in-Package (SIP) technology has an increasing presence in many applications. It is quite clear from Rent's rule that the number signal and control I/Os of a chip increases with the integration level. In addition, wires in packages require special design techniques. In this context, current 3D SIP architecture puts forward few challenges to routing: growing number of interconnects, space constraints, complexity with multiple chips and interconnect coupling. To address some of these issues, an escape routing design strategy is proposed. It aims to minimize the number of layers and ensure no unconnected pins are left. Routing strategy employs a central triangular pattern. It is demonstrated that the strategy guarantees routing, minimizes the number of layers and can handle interconnect coupling issues. In experiments, a Chip Scale Package (CSP) with 1940 nets could be routed successfully in four-layers using the above routing strategy.

This whole research is about two critical issues that have a growing influence on modern Electronic Design Automation (EDA). The author earnestly believes that the research findings would in some way contribute to the improvement of present design approaches in mitigating crosstalk and addressing SIP routing issues.

ソフトウェアの実行時間を考慮したハードウェア/ソフトウェア分割手法

応用理学コース 情報科学分野 松永 惇 弥

近年、携帯機器、情報機器、家電機器、車載機器などのさまざまな機器製品にシステム LSI が用いられており、その集積率の向上に伴い、ハードウェアの大規模化・複雑化が進み、設計工数・設計期間の長期化が課題となっている。このような課題に対応するために SystemC や SpecC などのシステム記述言語を用いたシステムレベル設計技術 (ESL) の自動化の進展が要望されている。

一方、システムレベル設計においては、アーキテクチャレベルにおいてはハードウェア/ソフトウェアの分割において最適な分割が大きな課題である。従来のハードウェア/ソフトウェアの分割は、ソフトウェアの実行ライン数、呼び出し回数、データ転送量などの分析を行うプロファイリングを行うことにより、対象システムの実行時間におけるボトルネック部分を洗い出し、ハードウェア/ソフトウェア分割を行っていた。しかしながら、対象システムのソフトウェア実行時間を精度よく見積もれず、ボトルネック部分を洗い出すことが困難であった。

本研究では、実行時間を考慮したプロファイリングを行い、ソフトウェア上のボトルネック部分を洗い出し、そのボトルネック部分にたいしてマルチコアを前提としたアーキテクチャの試行を可能とするハードウェア/ソフトウェア分割およびソフトウェア並列化手法を提案する。

本手法では、ソフトウェアの実行時間を求める方法として、時間精度付きモデルを用いた。本方法は、C 言語で記述されたアルゴリズムをいくつかの Basic Block と呼ばれる基本ブロックに分解し、ターゲットプロセッサの実行サイクル数を各 Basic Block に付与することにより、ソフトウェア上の実行時間を得ることができる。このモデルを用いることにより、対象アルゴリズムのボトルネック部分の実行時間を精度よく見積もることを可能とした。

提案する手法を、暗号化アルゴリズム AES に適用した結果、対象アルゴリズムのボトルネック部分を洗い出し、マルチコアを前提としたソフトウェアの並列化を行うことによりボトルネック部分の実行サイクル数を約 3 割削減する見通しを得た。また、この手法を用いることにより、さまざまなアーキテクチャの試行とハードウェア/ソフトウェア分割を容易かつ短時間で行えることを示すことができた。

プレゼンテーション構造を利用した指摘のグループ化による リハーサルレビュー支援方法の提案

応用理学コース

情報科学分野

宮脇 剛志

1. はじめに

プレゼンテーション・リハーサルは、同僚や仲間内による批評をもとにプレゼンタ自身への知識の不十分さや不適切さに対する気づきを与えることで、プレゼンタの知識洗練を行う機会である^[1]。しかし、改善作業を行う際、プレゼンタがリハーサルにおける改善点を特定する議論の内容を完全に想起することは困難である。この問題を解決するためには、議論内容を記録してプレゼンタによる改善作業中に提示することで議論内容の想起を支援する必要がある。

そこで、本研究ではプレゼンテーションの持つ構造を視覚化し、同様の議論で出された指摘のグループと議論中に作成したメモを対象となる箇所に対して一元的に関連づけることで、議論の情報を整理する手法を提案する。

2. プレゼンテーションの改善支援手法

本研究では、リハーサル終了後の改善作業において、プレゼンタが効率的にプレゼンテーションの改善作業を可能とすることが目的である。そのためには、以下に挙げる2点の支援が必要である。

(1)発表における改善箇所の明示

(2)議論中に考察した改善方法の提示

これらの支援を行うためには、プレゼンテーションリハーサルにおける議論(以下、リハーサルディスカッション)を通じてこれらの情報を整理し、改善作業においてプレゼンタに提供する必要がある。

3. プレゼンテーション構造を利用した リハーサルにおける指摘の整理

本研究では、発表のシナリオを階層的に表現したプレゼンテーションの構造を利用して、一元的な問題を持つ指摘を整理することで改善箇所の特定を支援する手法を検討した。また、プレゼンタ自身が行う議論メモの作成過程をレビューに見せることでプレゼンタの議論に対する理解を促進できると考えた。これらの情報を議論中に生成し、改善作業中に提示することで、プレゼンタは効率的に知識の洗練化を図ることができる。

4. リハーサルディスカッション支援ツール

本研究では、リハーサルディスカッション中において前章で考察した情報の整理を可能とする議論支援用のツールを開発した。本ツールは、プレゼンテーション・リハーサル支援システム^[2]で獲得したスライドの画像、発表様子のムービー、スライド切り替えのタイミングなどの発表に関する情報とレビューが発表中に行ったレビューで構成されるプレゼンテーションデータを議論開始時に読み込んで利用する。

議論中、プレゼンタは自身のパソコン上で本ツールを起動し、図に示すインターフェースをスライドの代わりとしてスクリーンに投影することで利用する。以下、本ツールの機能について述べる。

4.1 レビュー結果の整理

本ツールでは、議論中の話題を記録するメモを作成可能とした。プレゼンタは作成したメモに対してレビューを関連づけることで関連する指摘を一元的に管理できる。また、議論されたスライドを構造表示フィールドに作成したシナリオの段落ノードに関連づけることでプレゼンテーション構造を表現することができ、それに対してメモの情報を関連づけることでプレゼンタが指摘を受けた箇所を参照できる。

4.2 プレゼンテーションデータの表示

本ツールは、議論中スクリーンに投影して利用するため、プレゼンテーションの情報を必要な際に確認できる機能が必要である。そのため、プレゼンタによる簡易な操作でスライドの画像や発表ムービーを即座に表示できる機能を備えている。

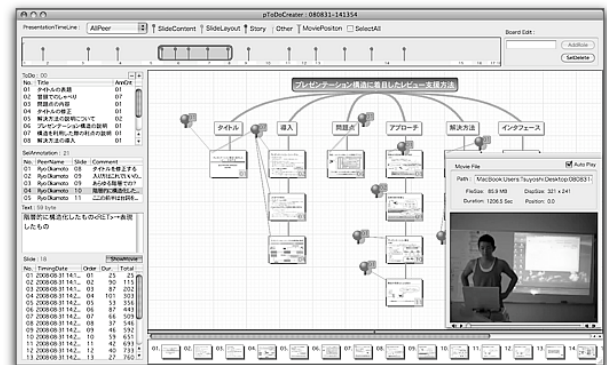


図 プロトタイプシステムのインターフェース

5. おわりに

本研究では、プレゼンテーション・リハーサルにおける議論内容の整理方法を提案し、それを実現するための支援ツールの試作を行った。本ツールを利用することで、プレゼンタに改善作業における議論内容の想起を目的とした議論支援環境の提供を実現することができた。

参考文献

- [1] A.Kashihara & S.Hasegawa: "LearningBench: A Self-Directed Learning Environment on the Web", Proc. of ED-MEDIA2003, pp.1032-1039, 2003
- [2] R.Okamoto, & A.Kashihara: "Presentation Review Supporting Environment with Realtime-created Hypervideo Technique", Proc. of International Conference on Computers in Education (ICCE 2007), November Hiroshima, JAPAN, 2007

血液検査データ解析による知識発見手法 ～血液検査データの正規化と相関モデル～

応用理学コース 情報科学分野 山下 真

近年、医療情報が電子化され診療情報、検査結果など診療で得られる様々な情報が蓄積されている。現状では蓄積されたデータの有効活用があまり行われていないが、データ解析やデータマイニングにより活用することで新たな知識の発見に繋がると考えられる。本研究では蓄積された血液検査データから新たな知識の一端を発見することを目的とする。

蓄積されたデータの有効活用の一つとして血液検査データの解析が要望されているが、解析をする上での問題点も多く存在する。主要な問題点の一つは検査方法の改定に伴い検査値の分布に違いがあるため、解析が困難になることである。長期間蓄積されたデータを用いてデータ解析を行う場合、検査方法の差異により検査値の分布に違いが生じるため解析が困難となる。二つ目の問題点は血液検査データに多数の欠損値が存在するため、通常の解析手法が適用できないことである。血液検査は一般的には診断に必要な検査項目しか検査が行われなため、多数の欠損値が存在する。また、検査の間隔は患者ごとに異なるため一般的なデータ解析やデータマイニングの手法の適用が困難である。これらの問題を解決し、蓄積された血液検査データの解析を行うことで従来知識の確認や新たな知識の発見が期待される。

本研究では上記の血液検査データのもつ問題点を解決し、データ解析を行うための手法を提案した。この手法は検査値の正規化方法、血液検査相関モデル、血液検査の比較方法で構成される。検査値の正規化方法は検査値の分布の違いを正規化することにより統一し、長期間データの利用を可能とする方法である。血液検査相関モデルは検査項目間の関係性を表現する方法である。本研究では血液検査相関モデルを図表により可視化するシステムを構築した。また、血液検査の比較方法は検査値の分布と相関関係の比較を行う方法である。

本手法を用いて肝機能障害患者と白血病患者の血液検査の比較を行ったところ、医師のもつ経験による知識に近い解析結果を得た。また、抗うつ薬服用前後の患者の血液検査の比較を行い、投薬前はCKと肝機能関連項目との相関が強いが、投薬後はCKと血液関連項目との相関の方が強いという新たな変化を発見した。

VLSI レイアウト設計におけるクロストーク回避配置と配置 ECO 判定手法の研究

応用理学コース

情報科学分野

吉田佑馬

情報化社会の発展に伴い、高性能で安価な電子機器が市場で求められている。高性能な電子機器を実現するためには、多くの機能の実装(回路規模増大)と動作速度の高速化と低消費電力化と、それらを安価に提供する技術が必要となる。そこで電子機器のコア部品であるLSI製造技術は微細化により膨大な回路の実装と LSI 動作速度の高速化が進められている。また低消費電力のため低電圧化が進んでいる。さらに低価格に製造するため、LSI 設計の大規模回路を効率よく設計する技術が求められている。

しかし、LSIにおける微細化は、DSM問題(DeepSubMicron)と呼ばれる性能や生産性を左右する新たな問題を引き起こす。具体的には、VLSIの信号タイミングの推定を困難にし、信号品質を落とすためにLSI機能や性能を劣化させる。さらにDSM問題は設計規模増大と相まって、設計やり直しなど設計効率を著しく下げる問題も起こすため、生産効率を下げってしまう。結果として設計期間の長期化や設計コストの増大を招いてしまう。

本論文では、DSM問題における2つの設計改善手法について述べる。1つは、信号タイミングや信号品質の原因となる信号クロストークの回避技術、2つめは、設計やり直しを効率よくするECO(Engineering Change Order)設計技術である。信号クロストークは、信号間干渉で、製造微細化により金属配線が相互に近接することで生じる。ECOとは、設計を効率よく修正する技術を指し、設計ミス修正やタイミング改善を、既に設計された一部分のみの修正で完結させる技術である。

従来のクロストークの回避技術は、金属配線が相互に近接しないよう配線経路修正をおこなう方法が中心であった。しかし配線が高密度化な場合は、配線相互を離す領域が確保できない。また配線経路の変更では、配線長が変わり、別の信号遅延問題を生じることがある。

そこで本論文では、配置設計における改善法を提案する。配置設計による改善は、配線領域の確保や配線長増減を少なくできる可能性がある。提案する配置手法は、クロストーク回避評価を加えた配置評価関数を用いる。この配置手法を、クロストーク回避の程度と配置品質(信号総配線長)とのトレードオフ関係、およびトレードオフ関係の回路構成(人工的な回路、演算器(乗算器)およびランダム論理回路)依存性について評価し、どの場合においても配線長増が数%程度でクロストークを完全に回避できることがわかった。

従来のECO技術は、設計ミスやタイミング修正などの設計変更を、LSI設計フローのどの段階で行うかは特に指標がなかった。しかしECOにおいて設計期間は、設計フローの段階で大きく変わる。そこで設計効率を上げるECO設計段階の最適な決定法を本論文で検討した。ここでは、「配置ECO有効性」という新たな指標を導入する。配置ECO有効性とは、既存の配置結果の一部と、その配置改善解の評価関数値の差で、配置ECO有効性が高ければ配置設計で改善程度が大きくなるため、例えばタイミング修正量から「配置設計で修正可能かどうか」が判定できる。しかし「配置ECO有効性」は、配置改善結果が必要なため時間が長期になり現実的ではない。そこで配置改善に代えてランダム配置との評価関数値の差から「配置ECO有効性」を推定する。本提案手法を格子状の接続を持つ人工的な回路で評価したところ、「配置ECO有効性」と推定手法が高い相関性をもつことが確認できた。

以上、本研究で提案された新手法を用いることで、DSMにおいても信号品質が改善され、さらに設計修正の効率化が可能となり、LSI製造の高性能化、低コスト化が期待できる。