

GP-GPU を用いた並列論理シミュレーションアルゴリズムの検討

Parallel Logic Simulation Algorithm based on GP-GPU

橋口 拓哉 豊永 昌彦 村岡 道明

高知大学 理学部 情報科学コース

1. まえがき

近年, GP-GPU を用いた論理シミュレーションの高速化手法の研究[1]が行われている. 本研究の先行研究[2]で GP-GPU を用いた並列論理シミュレータが開発され, 評価実験の結果商用シミュレータと同等の性能であることが確認された. しかし, そのシミュレータには順序回路未対応や大規模回路未対応, 高速化などの課題があったため, 本研究ではそれらの課題を解決し, 商用シミュレータとの処理時間の比較を行なう.

2. 従来手法

従来手法[2]はレベルソート法に基づく並列論理シミュレータで, 論理段数内の論理ゲートの演算を並列化することで高速化を図るものである.

3. 提案手法

提案手法の処理手順を以下に示す.

赤字の箇所が提案手法で新たに処理である.

Host:CPU 側 Device:GPU 側

<Host>

1.1: ネットリストテーブルを読み込む

1.2: 論理段数の計算を行う

1.3: 段内のインスタンス数を均一化(大規模対応)

1.4: テストベクタを読み込む

2.1: グローバルメモリ上に領域を確保する

2.2: グローバルメモリにデータを転送する

2.3: CUDA のブロック、スレッドを生成する

2.4: カーネルを呼び出し、以下の手順をテストパターン長分だけ繰り返す

<Device>

(): 入力ピンにテストベクタをセットする

(): フリップフロップの値を更新する(FF 対応)

(): 各スレッドでゲート演算を並列に行う

(): 出力ピンに演算結果を格納する

<Host>

3.1: 出力ピンの値をホスト側に転送する

3.2: 出力を表示する

4. 高速化手法

本稿では以下の 3 つの高速化手法を提案する.

| 手法 | 目的 |
|--------------|-------------|
| 1. 真理値表アクセス | 演算部分の高速化 |
| 2. 配列アクセス | メモリアクセスの高速化 |
| 3. 参照データの連続化 | メモリアクセスの高速化 |

上記の 3 つの高速化手法を本稿で開発したシミュレータに実装し, 評価実験を行った結果, 実装前と比べ 3~5 倍の高速化率が確認できた.

5. 評価

4.1 実験環境

実験環境は以下のとおりである.

- 提案シミュレータ(GPU Sim): Geforce GTX480, 1.4GHz(コアクロック), 1.5GHz(メモリアクロック)
- 商用シミュレータ(Model Sim)-VDEC 提供:

ModelSim SE 6.2e, Intel Core i7-950 3.07GHz

評価回路

組み合わせ回路: 32bit-adder をベースとした 4 種類

順序回路: 8bit マイコンをベースとした 5 種類

4.2 実験結果

組み合わせ回路と順序回路で提案シミュレータの GPU 実行時間と商用シミュレータの CPU 実行時間を比較した.

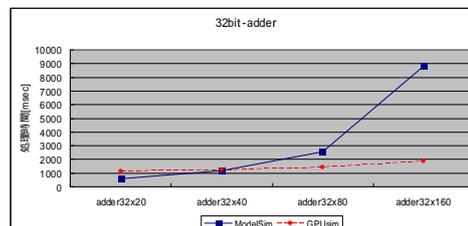


図 1. 組み合わせ回路(32bit-adder)

図 1 より 32bit-adder を 20 個並べた回路では GPUsim と比べ ModelSim の方が優位であるが, 40 個並べた時点でほぼ同等でそれ以降は GPUsim の方が優位になっていくのが分かる. また高速化率は最大 4.7 倍となった.

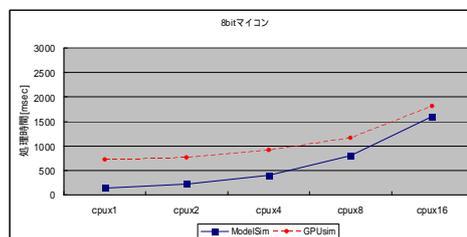


図 2. 順序回路(8bit マイコン)

図 2 をみると, 先程の図 1 の結果と同様に回路の並列度を上げていくと ModelSim と比べ GPUsim の方が優位になっていくことが分かり, 高速化率は最大 0.89 倍となった.

6. 結論

本研究では先行研究[2]で開発されたプロトタイプシミュレータを基に順序回路対応や大規模回路対応を行うことで, 順序回路である 8bit マイコンや数万ゲート規模の論理回路のシミュレーションが可能となった. また本研究で開発したプロトタイプに 3 つの高速化手法を実装することで従来と比べ 3~5 倍の高速化を達成した. そして, そのシミュレータと商用シミュレータで処理時間の比較を行なうと組み合わせ回路で最大 4.7 倍, 順序回路で最大 0.89 倍の高速化率が得られたため, 本研究で開発したプロトタイプでは組み合わせ回路だけでなく順序回路においても並列化の効果があることが分かった.

今後, GPU の複数の MP を使用するために回路を相互にデータ通信のないように分割し, 演算の並列度を上げることにより商用シミュレータより高い高速化率を得られる可能性が見込まれる.

参考文献

[1] Debapriya Chatterjee, Andrew DeOrio, Valeria Bertacco, "GCS: HighPerformance Gate Level Simulation with GPGPUs", pp. 1332-1337, DATE09, 2009

[2] 大菊祥子, 橋口拓哉, 豊永昌彦, 村岡道明, "GP-GPU を用いた並列論理シミュレーションアルゴリズムの評価" DA シンポジウム 2012 論文集, pp.109-114, 2012 年 8 月 29 日

本研究は, 2011 年度 NEDO 補助金に基づくスタビリティ株式会社との共同研究により行われた. また, 本研究は東京大学大規模集積システム設計教育研究センターを通じ, メンター株式会社の協力で行われた.