

論理シミュレーションアルゴリズムのハードウェア化の検討

Consideration of Hardware Algorithm for logic simulation

松本 夏樹 村岡 道明

Natsuki Matsumoto Michiaki Muraoka

高知大学 理学部(情報科学コース)

1. まえがき

大規模論理回路の論理シミュレーションについては、処理時間が長いことが従来より問題となっている。本研究の先行研究では、ソフトウェア記述アルゴリズムのハードウェア化による高速化を行ってきた。[1] 本研究ではその手法に基づき、論理シミュレーションアルゴリズムをハードウェア化することによる高速化アルゴリズムの提案とFPGAへの実装手法を検討した。

2. 論理シミュレーションのハードウェア化

今回対象とするFPGAを以下に示す。
FPGA: Altera Cyclone EP2C5Q 208C 4680(LE数),
onchipSRAM: 119,808bit(ブロックSRAM, M4K*26個)
本研究で対象とした論理シミュレーションアルゴリズムは、レベルソート法に基づくアルゴリズムであり、上記FPGAを対象としハードウェア化を行なった。そのハードウェアアルゴリズムを以下に示す。

- () PCからネットリストテーブル、テストベクタを受信し、それぞれのメモリへ書き込む。
- () テストベクタを入力ピン(インスタンス)の値に設定する。
- () 全てのFFの入力をレジスタに格納後(内部状態の保持)、レジスタの値をFFの出力にアップデートする。(組み合わせ回路の入力設定)
- () インスタンスごとに入力の値を読み込み、論理機能に従って演算処理を行う。
- () ()をすべてのインスタンスの演算が終わるまで繰り返す。
- () 出力ピンの値をPCへ送信する。
- () ()-()をシミュレーション回数分繰り返し行う。

図1 ハードウェアアルゴリズム

3. FPGAにおけるメモリ見積もり

ネットリストテーブルは onchipSRAM を用いることで容量と高速性を両立させた。前提条件として、シミュレーション対象回路はインスタンス数が2,048、入力ピン数200、出力ピン数100、論理段数256として、Cyclone のオンチップSRAMに対してのメモリ見積もりを表1に示す。

表1 Cyclone のメモリ見積もり

テーブル名	格納最大数 (アドレス)	格納データbit数	合計bit数 (RAM容量)	RAM個数
instpin	5,700	11	62,700	16
instpins	2,048	2	4,096	1
instlib	2,048	4	8,192	2
instlev	2,048	8	16,384	4
instv	2,048	1	2,048	1
outpin	100	11	1,100	1
合計			94,520	25

4. インスタンス演算部の処理方法

ハードウェアアルゴリズムのインスタンス演算部の基本とする処理方法を以下の図2に示す。図2で示すように入力の設定、論理演算、結果出力の順に処理される。

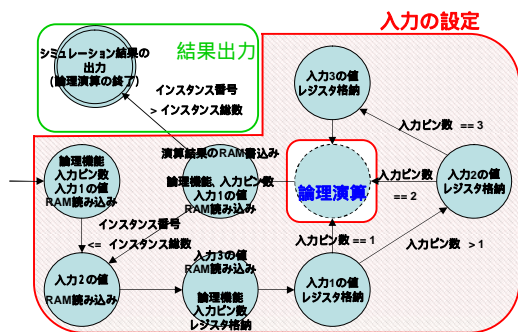


図2 インスタンス演算部の状態遷移図

図2の処理方法を方法1とした。方法1を基に1ステージパイプライン化を行った処理方法を方法2とした。さらに方法2を基に並列化を行なった。今回はRAMの総量の関係上2並列化まで可能となり、本処理を方法3とした。

5. 性能見積もり

8bitのH8マイコンを対象回路とし、方法1,2,3を実装したFPGA、商用論理シミュレータの実行時間を計測し比較を行なった。FPGAの動作周波数は100MHzである。FPGAと商用論理シミュレータ(VDEC提供)の処理時間と比較を表2に示す。PC環境は以下に示す。
PC環境: Intel Corei7-950, 3.07GHz, Modelsim SE 6.2e

表2 FPGAとModelsimの実行時間と比較

単位: ms

テストサイクル	Modelsim SE(a)	FPGA Single (b) 方法1	FPGA pip (c) 方法2	FPGA 2para (d) 方法3	Ratio b/c	Ratio c/d	Ratio b/d	Ratio a/d
1,000	35	106.2	86.4	46	1.2	1.9	2.3	1.3
5,000	78	525.8	425.3	226	1.2	1.9	2.3	2.9
10,000	133	1050.2	848.9	451	1.2	1.9	2.3	3.4
20,000	243	2100.4	1697.8	902	1.2	1.9	2.3	3.7
30,000	351	3150.6	2546.7	1353	1.2	1.9	2.3	3.8
40,000	458	4200.8	3395.6	1804	1.2	1.9	2.3	3.9
50,000	570	5251	4244.5	2255	1.2	1.9	2.3	4.0

表2より、FPGAは1ステージパイプライン化をすることで、1.2倍、2並列化することで約1.9倍高速化したが、商用論理シミュレータよりも約4倍の実行時間を要する結果となった。表3には、FPGAを10並列化及び50並列化し、それぞれ200MHzで動作した場合の実行時間を見積もり、商用論理シミュレータと比較結果を示す。

表3 FPGAの実行時間見積もりと比較

単位: ms

テストサイクル	ModelSim SE(a)	FPGA 10para 200MHz (b)	FPGA 50para 200MHz (c)	Ratio a/b	Ratio a/c
1,000	35	5.5	1.8	6.4	19.4
5,000	78	27.5	9	2.8	8.7
10,000	133	54.5	18	2.4	7.4
20,000	243	109	36	2.2	6.6
30,000	351	163.5	54	2.1	6.5
40,000	458	218	72	2.1	6.4
50,000	570	272.5	90	2.1	6.3

表3よりFPGAは論理シミュレータと比較して10並列化し200MHzで動作した場合約2倍、50並列化し100MHzで動作した場合約6倍高速化する見通しが得られた。

6. まとめと課題

今回はFPGAを用いて論理シミュレーションアルゴリズムをハードウェア化による高速化、またFPGAへの実装手法を検討した。商用論理シミュレータと比較して、FPGAは2並列化で約4倍遅い結果となったが、10並列化(200MHz)で約2倍、50並列化(200MHz)で約6倍高速化できる見通しが得られた。今後の課題として、並列化アルゴリズム改良、最新プロセスを用いたFPGAやLSIへの実装などによる高速化があげられる。

参考文献

- [1] 前木場達也, 村岡道明, “暗号化アルゴリズムのハードウェア化の研究”, 高知の情報科学第3巻 No.4, 2011年3月
本研究は東京大学大規模集積システム設計教育研究センターを通して、メーカー株式会社の協力で行われた。