

平成 24 年度

高知大学大学院 総合人間自然科学研究科

応用理学コース 情報科学分野

修士論文発表会 要旨集

会場：高知大学 理学部 情報科学棟 1 階 共通講義室 4

日時：2013 年 2 月 14 日（木）13:05～15:00

プログラム

- 13:05-13:10 開 会 挨拶
- 13:10-13:30 北川 真夕(森研究室)
「Kinect を用いた手話トレーニングマシンの開発」
- 13:30-13:50 中井 駿介(豊永研究室)
「GPGPU を用いた VLSI の 2 つの並列迷路配線法と SiP の自動配線法の研究」
- 13:50-14:10 山中 卓也(豊永研究室)
「VLSI レイアウト設計の並列計算を用いた SA 配置最適化と高速化の研究」
- 14:10-14:30 成田 幸紀(岡本研究室)
「主体的学習における知識の外化・検証を通じた知識洗練化支援」
- 14:30-14:50 芳沢 将宏(三好研究室)
「学習目標の共有とウェブリソースとの関連付けを実現した調べ学習支援環境」
- 14:50-15:00 講 評

Kinectを用いた手話トレーニングマシンの開発

応用理学コース 情報科学分野 北川 真夕

現在、日本には約276,000人の聴覚障害者がおり、近年、裁判員制度などに見られるように、聴覚障害者の社会進出の場が広がっている。しかし、手話を使える健聴者は少なく、需要に対し手話通訳士の数が十分でないといった問題がある。このような現状を受け、手の動作を読み取り音声やテキストに変換する手話変換システムの研究が進められている。手話変換システムは、入力となる手の動作についての情報や処理が膨大であるため、まだ実用化されていない。そこで、本研究室では、その前段階として、健聴な手話初学者をターゲットに、手話学習の支援を目的とした手話トレーニングマシンの開発を行った。

手話変換システムでは、人間の手話動作を取得するために、画像処理やモーションキャプチャによって手の動作を認識する手法と、センサ類が取り付けられた手袋型の装置によって手の状態を認識する手法が主に用いられている。一連の手話動作を読み解くには、文脈や表情、顔と手の位置関係が重要となるが、既存のデータグローブは非常に高価である等の理由から、本研究室では、新たにデータグローブ型の手話入力用デバイスを製作した。しかし、製作したデータグローブだけでは、単純な手話動作は取得できるが顔と手の位置関係を取得することが困難であったため、製作したデータグローブに赤外線深度センサ（Kinect）を導入したものを新たな手話入力用デバイスとした。

本研究では、この手話入力用デバイスを用いて手話トレーニングマシンを製作した。既存の手話学習方法は、大きく分けて、時間やコストに制約がほぼないが正誤等のフィードバックはないもの、フィードバックがあるが時間やコストに大きな制約があるもの2つのタイプがある。製作した手話トレーニングシステムは、学習方法として大きな制約なしに、学習者の手話動作についてフィードバックを与えるものである。手話トレーニングマシンを用い、手話学習においてフィードバックが有効であるか実験を行った結果、フィードバックによる一定の学習効果が確認できた。また、今後の課題として、フィードバックの提示方法やインタフェースの改良についても言及した。

GPGPU を用いた VLSI の 2 つの並列迷路配線法と SiP の自動配線法の研究

応用理学コース 情報科学分野

中井 駿介

近年、高性能で安価な電子機器が市場で求められ、そのコア部品である VLSI や SiP の高性能化・低コスト化が望まれている。VLSI (Very Large Scale Integration) とは、トランジスタ素子をチップ上に数億程度まで集積した電子回路のことで、多機能・高性能のための製造微細化技術が重要である。SiP(System in a Package)とは、システムレベルを構成する多数の VLSI チップを 1 つにした実装部品のことで、多数のチップ配線を配置し性能保証する技術が重要である。

VLSI と SiP には、個別の設計課題がある。製造微細化における VLSI の設計課題は、レイアウト設計における自動配線の高速化である。半導体製造微細化で配線幅が狭くなり、配線抵抗や配線間寄生容量が大きくなり信号品質が劣化し、仕様を満たす回路設計を一度で完成させることが困難になる。そのため設計やり直しが必須であるが、膨大な設計工数をかけた設計やり直しは設計効率を著しく下げる。これを解決するには、設計で最も時間を要するレイアウト設計、特に配線設計の高速化が重要となる。多数チップ搭載における SiP の設計課題は、配線間が制御可能な多層配線設計法の確立である。多数の仕様の異なる LSI や IC チップを搭載する SiP では、搭載したチップ間の電気的特性が影響して動作不良が生じる。これを避けるためには、信号ごとに様々な電気特性を考慮した配線設計が必須であるが、多層で特定の配線間隔に制約をもたせる配線技術は確立していない。そのため、SiP の配線設計は人手により電気的特性を考慮して配線間隔を調整しており、今後集積数が増えると、設計効率が著しく下がる。これを解決するためには、信号ごとに配線間隔が制御可能な多層配線手法が重要となる。

本論文は、これら VLSI の迷路配線の高速化手法と SiP の自動配線の電気的影響を反映する自動配線手法について提案するものである。

VLSI の迷路配線の高速化手法では、多数のグラフィック処理用コアで構成されている GPU(Graphics Processing Unit)を汎用並列計算機として利用する技術 GPGPU(General Purpose GPU)を用いた並列迷路配線法を 2 つ提案する。1 つ目は迷路配線手法における検索点リストの各点にスレッドを割り当て並列に候補点の検索を行う並列検索迷路配線である。2 つ目は配線領域を分割して、GPGPU を用いて並列に配線を行う多領域並列迷路配線法である。

SiP の自動配線手法では、本研究室で開発された配置に基づく配線法をより効果的にする多層の端子割付法を提案する。固定端子の層を順に割り付け、配線交差数が最小かつ最短配線となる評価関数により端子交換で位置を決める方法を提案する。

それぞれの手法は実験から以下の改善が見られた。並列検索迷路配線法では、単一スレッドの迷路配線法と比べて最大 10 倍の高速化が確認できた。多領域並列迷路配線法では、配線領域を 9 分割した並列迷路配線は単一スレッドの迷路配線法と比べて、最大 7 倍の高速化が確認できた。SiP の自動配線手法では、配線交差数、配線長が改善され、配置に基づく配線手法を適用することで規則的で配線交差数 0 な良質な配線結果を得られた。

本研究により VLSI 設計の設計効率化の改善と、SiP 設計における多層配線自動化を通して電子機器の高性能化、低コスト化が期待できる。

VLSI レイアウト設計の並列計算を用いた SA 配置最適化と高速化の研究

応用理学コース 情報科学分野

山中 卓也

情報化社会の発展に伴い、多機能かつ高性能な電子機器が求められ、そのコア部品である VLSI (Very Large Scale Integrated Circuit: 超大規模集積回路) の高集積化が進んでいる。そのため VLSI は複雑かつ大規模になってきており、いくつかの段階に分けて作る必要がある。その中でレイアウト設計における配置設計は、信号速度にかかわる素子間の距離を決める重要な段階であるため、短時間で良質解を発見することが求められる。

配置設計の配線抵抗の増加や電圧降下、熱集中などを改善する複雑な配置問題の近似解を求めるため、シミュレーテッドアニーリング(SA)法が使われている。シミュレーテッドアニーリング(SA)法は、多数の要素で構成される組み合わせ問題に対して、評価関数を擬似エネルギーとみなし、擬似温度 T において、擬似乱数を用いた組み合わせ変更と評価を繰り返して熱平衡解を求め、徐冷(アニーリング処理)により極低温における組み合わせを近似解として導出する方法で、経験的なアルゴリズムに比べて高品質な解が得られることが知られている。しかし、熱平衡解に至るまでの繰り返し回数、擬似温度 T の冷却割合によって、得られる解の品質が影響を受けるため非常に時間がかかる。

そこで本研究では、並列環境 GPGPU を利用した複数並列 SA 法と分割並列 SA 法を提案し、これらの問題を解決する。複数並列 SA 法は、1つの配置問題を複数コピーしそれぞれを SA で最適化し、最良を選択することでばらつきと品質向上を解決する。分割並列 SA 法は、1つの配置問題を分割し、各領域を SA で最適化することで高速化を解決する。

複数並列 SA 法の研究では、CPU 側のプログラムで配置問題を読み込んだ後 GPGPU 側のメモリにスレッド数 N だけ配置情報を重複してコピーし、スレッド $i(i=1,2,\dots,N)$ は独立した乱数で指定した温度 t の SA を規定回数行う。これを CPU 側のプログラムで温度 t のアニーリング処理でカーネル(GPGPU 側処理)を呼び出す。同じ処理時間で N 個の解を得ることでよりばらつきのない高品質な解が得られることが期待できる。

分割並列 SA 法の研究では、CPU 側のプログラムで配置問題を読み込み、配置素子を指定された分割数 K に複数のパターン P で分割した分割素子群管理情報 $M(k,p)$ ($k=1,2,\dots,K$, $p=1,2,\dots,P$) を生成し、GPGPU 側のメモリに配置と $M(k,p)$ をコピーし、分割領域 K を各スレッド $k(k=1,2,\dots,K)$ に温度 t の SA を規定回数行う。これを CPU 側のプログラムで温度 t に対し $M(k,p)$ を全分割パターン P まで行い、アニーリング処理に際してカーネル(GPGPU 側処理)を呼び出す。同温度処理をスレッドで並列化することで高速に解を得ることが期待できる。

簡単な配置モデルの実験結果から、複数並列 SA 法による配置解は、 $N=100$ スレッドの場合で従来の SA 法による配置解に比べ平均 10% 程度の改善が安定して得られることがわかった。また分割並列 SA 法では、 $K=4$ の分割数の場合で配置処理速度は、従来の SA 法に比べ 2 倍程度に高速化できることがわかった。

以上の本研究より、GPGPU を使った並列化で SA 配置の高速化と高品質化が期待でき、VLSI の配置設計の設計効率の改善が期待できる。

主体的学習における知識の外化・検証を通じた知識洗練化支援

応用理学コース 情報科学分野

成田 幸紀

主体的学習とは、学習者が自ら設定した学習目標を達成するために、学習リソースを選択し学習を進める過程である。近年、Webを活用することで、様々な対象についての学習が可能である。主体的学習では、学習者により、利用するリソースや、学習を終えるタイミングを管理するため、学習を成功させるには、学習者が獲得した知識の適切性を正しく判断する必要がある。しかし、学習者は自身の知識状態を客観的に把握することが難しいため、しばしば知識が不十分・不適切な状態で学習を終えてしまう。このような知識を洗練化させることは、主体的学習における重要な課題である。

この課題に対して、先行研究では、主体的学習の過程で獲得した知識を他者に伝達させることで、ピアからの批評を受け、知識の不完全さに対する内省の促進を支援している。このようなピアレビューには、様々な形態がある。例えば、学習者がWebに作成した文書を掲載して批評をもらうことや、論文を添削してもらうこともピアレビューの一種である。ピアレビューのうち、プレゼンテーション・リハーサルは、ピアから多くの批評が期待できる。さらに、議論を通じてピアの批評に関する理解が促進されるため、学習者の内省に有効である。したがって本研究ではプレゼンテーション・リハーサルに着目した。

プレゼンテーション・リハーサルにおいて学習者の知識洗練を図るには、批評をもとに学習者が自身の知識状態の不十分さ・不適切さを正確に認識することが重要である。しかし、ピアの批評はそれらを明示しているとは限らない。そのため、学習者が批評の原因となる知識状態を特定できなければ、知識洗練が行われないうままに発表スライドの改訂を行ってしまう。したがって、本研究では、発表スライドを改訂するバックレビュー過程に着目し、その過程において、学習者の知識の不十分・不適切な箇所を特定する方法の提案と、それにもとづく支援システムの開発を目的として研究を行った。

本研究では、これまでに、学習者が学習過程で得た知識を最終的に発表スライドとしてまとめる過程を検証可能な形式で明示化することにより、プレゼンテーション・リハーサルを通じた知識洗練化のプロセスモデルの提案を行った。本モデルにおいて、学習者は、ピアから得た批評をもとに、発表スライドの作成過程を逆に辿り、自身の知識状態に対する内省を行う。本モデルにもとづく支援を実現するには、学習者の知識状態の表現方法や、発表スライドの作成過程の記録方法などの課題が挙げられる。そこで、本研究では、学習者が学習の過程で蓄積したメモやブックマークなどのリソースを、概念マップを用いて整理した構造を学習者の知識状態として定義した。また、それを利用して発表スライドを作成することで、作成過程を記録する方法を提案した。さらに、本研究ではこれらをもとに、学習で獲得した知識をまとめ、発表スライドを作成するエディタ、および、その発表スライドを構成している知識状態を閲覧するためのブラウザの開発を行った。

学習目標の共有とウェブリソースとの関連付けを実現した調べ学習支援環境

応用理学コース 情報科学分野

芳 沢 将 宏

学習者が何か目的を持ち主体的に学習を行なっているとき、行き詰まりを解決するためにウェブ検索で見つけたウェブ上のリソースを調べることにより、その問題への知識を深めようとする活動はよく行われる。このとき、行き詰まりを解決することがその学習者の学習目標となる。本研究ではこのような学習目標に基づいた活動をウェブ調べ学習と呼ぶ。

ウェブ調べ学習活動において情報収集を行なう際に有用と考えられるツールとしてはソーシャルブックマークが知られている。しかし、単にブックマークするだけのソーシャルブックマークを用いたウェブ調べ学習には以下の2つの問題がある。問題点(1)：知識を習得・定着させるためには、学習の全体に対する位置付けや意味を認識し、学習過程を振り返ることが重要である。よって、ただウェブリソースをブックマークするだけでは知識定着は期待できない。問題点(2)：ブックマークに学習目標が関連付けられない。学習過程を振り返るためには、ウェブリソースをブックマークした時の学習目標を保持しておかなければならない。しかし、ブックマークしただけではブックマークと学習目標の関連付けは失われてしまう。そのため、ある目標を達成するためのブックマークを以前にしていたとしても、後でそのブックマークがどれかを調べるのが困難になり、そのブックマークにたどり着くのは難しくなる。

本研究では、これらの2つの問題の解決を目的としたウェブリソース整理を実現する調べ学習支援環境の構築を行なう。機能としては、ソーシャルブックマークとまとめを記述する場が提供され、学習者は学習目標をタイトルとしたまとめをブックマークと関連付けて作ることで調べ学習を行なう。まとめを記述することで問題点(1)は解決され、まとめとして学習目標とブックマークが関連付くことで問題点(2)も解決される。

このシステムを設計し、構築する中で、以下の2つの改善すべき点が見つかった。ウェブ調べ学習中にブックマークをするタイミングと、その後に作成するまとめを作るタイミングに間があるため、まとめを作る時点で既にブックマークを見失う可能性があるという問題がわかった。また、まとめは問題が解決しなければ作成することができないため、作成のための敷居が高く、学習の結果が登録されにくい。

そこでこれらの問題を解決するためにコンセプトの再提案とシステムの再設計、再構築を行なった。まず、学習目標とブックマークとの関連付けをウェブ検索でウェブリソースを調べている過程でできるようにした。また、まとめ作成の敷居を下げるため、結果を登録する前に予め学習目標を登録しておけるようにした。このとき、学習目標の登録の負荷を下げるため、他人が登録した学習目標に便乗することもできるように設計を見直した。他人の学習目標に便乗する機能を実装したことで、複数のユーザの重複する学習目標が分散することを防ぎ、効率のよい情報収集が可能になった。

本研究で構築したウェブ調べ学習支援環境の有用性を評価するため、類似機能を有する既存サービスや先行研究との比較検討を行なった。本研究と比較して、先行研究には長期的な学習目標を達成するための支援に重点を置いたものが多く、本研究の想定するウェブ調べ学習の状況においては先行研究では期待する支援を得ることができない。以上より、ウェブ調べ学習の状況において本支援環境が有用であることを確認した。