

## 部分論理回路の簡易論理最適化手法の研究

A Research of Compact Logic Optimization Method for Partial Logic Circuits

蘆苅 将大 大菊 祥子 豊永 昌彦 村岡 道明

Masahiro Ashikari Sachiko Ogiku Masahiko Toyonaga Michiaki Muraoka

高知大学理学部 情報科学コース 村岡研究室

### 1. まえがき

現在、システムの大規模化や LSI の微細化が進展している。それに伴い、設計期間の長さや回路面積の大きさが問題になっており、部分回路でのタイミングかつ面積の最適化の必要がある。そこで、小規模な組合せ回路を対象としてクリティカルパス部分のディレイを短縮し部分回路での最適化を可能とする手法を提案する。

### 2. 簡易論理合成の基本アルゴリズム

論理の最小化アルゴリズムとして、比較的小規模の論理回路の最適化（最小化）を対象とする簡易な簡約化方法を提案する。本アルゴリズムは以下の 4 つのステップにより構成される。

- (i) 対象の論理回路（組み合わせ回路）の真理値表を作成し、出力が 1 になる行を取り出す。
  - (ii) それぞれの行のハミング距離が 1 になるものを総当たりで抽出し、マージして新たな行を作成する。
  - (iii) 上記(ii)のハミング距離が 1 になるものが無くなるまでマージの処理を続ける。
- ( ) 多出力の場合、ゲートの共有化を行う  
( ) マージ終了後に残った行より、論理式を得る

### 3. 高速化アルゴリズム

基本アルゴリズムでのボトルネック部分であるマージ部分での高速化アルゴリズムを 2 つ提案する。

(方法 ) マージする前に入力値の合計を計算する。

(方法 ) 出力が 1 になる行数が半分以上の場合、出力 0 になる行をマージし、出力する論理式に NOT を付ける。

### 4. 評価

#### 3.1 実験方法

簡単な組み合わせ回路を用い、簡約化前との段数の数を比較することでクリティカルパスのディレイを評価する。さらにゲート数を比較することで、面積の大きさを

評価する。ただし、評価条件として入力数の多いゲートは使わず、2 入力の AND ゲート、OR ゲート、NOT ゲートのみを使用とする。

#### 3.2 実験結果

提案するアルゴリズムの評価では、ランダムロジック回路に本アルゴリズムを適用して簡約化の度合いを比較した。その処理時間を表 1 に示す。

表 1 ランダムロジックの処理時間

		入力数					
		7	8	9	10	11	12
処理 — 秒 —	read	0.0393	0.0472	0.0598	0.0875	0.14	0.263
	merge	0.0097	0.0162	0.0843	0.1902	1.102	4.679
	entry	0.006	0.0064	0.008	0.0103	0.021	0.046
	make	0.0473	0.0478	0.0506	0.0568	0.05	0.097
	sum	0.1023	0.1176	0.1631	0.3448	1.313	5.085

ランダムロジック回路に対しては、真理値表から得られる最適化前の回路に対してゲート数を最大 85% 削減できる結果が得られた。また、入力数が 10 入力以内については 1 秒以内で実行でき、実用的な処理時間であった。

### 5. 結論

本研究では、小規模な組合せ回路を対象とする合成手法を確立し、タイミングおよび面積の最適化を行った。評価結果より、小規模回路の最適化には短時間で論理簡約化が可能で有効な手法であることが示すことができた。

### 6. あとがき

小規模回路を対象とした論理の簡約化手法を提案し、ディレイやゲート数を最適化できる見通しを得た。今後、多種の回路に適用しアルゴリズムを改良するとともに省電力化などの課題にも対応することが重要な課題である。