

平成 25 年度  
高知大学大学院 総合人間自然科学研究科  
応用理学コース 情報科学分野  
修士論文発表会 要旨集

会場：高知大学 理学部 情報科学棟 1 階 共通講義室 4

日時：2014 年 2 月 13 日（木）13:10～15:55

## プログラム

13:10-13:15 開会挨拶

13:15-13:35 西前 光（本田研究室）

「時系列衛星画像の分散処理システム構築と時空間変動に関する知識発見」

13:35-13:55 藤井 良弥（豊永研究室）

「VLSI 信号品質向上と高速化を目指す配線法の研究」

13:55-14:15 大菊 祥子（豊永研究室）

「高速論理検証法と ECO 論理合成法の研究」

14:15-14:35 YAN HUANG(黃 燕)（豊永研究室）

「Research of Peripheral and Big-Channel Routers for VLSI Layout Design」

14:35-14:45 休憩

14:45-15:05 トウ ブンチク（村岡研究室）

「マルチコアプロセッサを用いた並列論理シミュレーション手法」

15:05-15:25 濱田 一伸（三好研究室）

「学習コンテンツ推薦を目的とした難易度と習熟度の推定アルゴリズムの評価手法」

15:25-15:45 渡邊 悠人（岡本研究室）

「プレゼンテーション・リハーサルにおける視覚的なアノテーション手法を指向したレビュー支援環境」

15:45-15:55 講評

# 時系列衛星画像の分散処理システム構築と 時空間変動に関する知識発見

応用理学コース 情報科学分野

西前 光

近年、諸分野でテラバイト級のいわゆるビッグデータが蓄積されるようになっている。こうしたデータから新しい知識を発見しようとするデータマイニングの研究が進展しており、このようなビッグデータの解析環境として分散処理が注目されている。衛星による地球観測等の分野でも、蓄積された大量の時系列画像から時間空間の変動パターンを抽出する事が期待されている。本研究では時系列衛星画像からの時空間の知識発見を支援する分散処理システムを、Hadoop, MapReduce を用いて構築することを検討した。この際、一般の研究環境でも確保可能な数十台のノードのシステムを前提としてパフォーマンスとスケーラビリティを最大化するための指針を得るものとした。また、実際に植生画像や気象衛星画像の時間変動のモデリングにこのシステムを利用して、その有効性を確認した。

分散処理のための仮想ファイルシステムと実行環境は、情報科学教室演習室の iMac マスター 3 台、スレープ最大 50 台に Hadoop を用いて構築した。Hadoop では MapReduce で分散処理を実装するが、Map では  $\langle \text{key}, \text{value} \rangle$  のデータを作成し、Reduce では key で集約された value 集合を取得して key 毎に処理を実行する。よって、key, value の選択やその形式、Map, Reduce 間でやり取りされるデータ形式がパフォーマンスに大きな影響を与えることが予想される。

第 1 の事例としては NOAA 衛星の観測で得られた半月毎 25 年分の植生指標データ画像から、時系列データを取得してロジスティック関数でモデリングする問題を検討した。この際、単純に 1 点毎に key を(座標), value を(植生指標, 時間)として実装し、ノード数の変化に対するスケーリング効果を検証した結果、時系列抽出では 30 台程度で計算速度向上が頭打ちしてしまった。そこで、データの単位をピクセルではなくブロック数とし、ブロック数とスレープノード数を一致させ、さらに圧縮を行う事によって、Map-Reduce 間のデータ量を 30 分の 1 まで削減することでスケーラビリティを改善することができた。ロジスティック関数でのモデリングについては 50 ノードを用いても全地球の試行に約 18 日間必要とする長時間の計算となつたため、あらかじめモデリングに適さない砂漠や熱帯雨林等の地点を削除することを目的として時系列毎の自己組織化マッピングを用いたクラスタリングによる分類についても検討した。

第 2 の事例としては、気象衛星画像からの時空間相関分析を実装した。気象衛星 MTSAT-1,2 で撮影された北緯 70 度から南緯 70 度、東経 70 度から西経 150 度の赤外線 (IR1) バンド 2012 年 9 月から 12 月末の東太平洋の熱帯収束帯における雲の消長をとらえることを目的とした。この時系列画像のある基準点、開始時刻から始まる 2 週間分の時系列を“基準データ”として、画像内のあらゆる領域、あらゆる開始時間において、相関係数を計算して可視化することで相関性の高い箇所を発見できる可能性を示すことができた。また、パフォーマンス、スケーラビリティの両面において作成したシステムの有効性を確認する事ができた。

より汎用的な分散時空間データマイニング支援システムの構築に向けては、一般的に時空間に対して使用される機械学習手法を検討し、簡便に扱えるプラットフォームや結果をわかりやすく可視化する方法等の実装を検討する事が必要である。

# VLSI 信号品質向上と高速化を目指す配線法の研究

応用理学コース

情報科学分野

藤井 良弥

近年の電子機器は、低電力で高速な処理が要求されており、その製品寿命も短期になっており、そのコア部品となる VLSI にも同様な性能や開発期間短縮が求められる。そこで VLSI の製造技術では、微細化による低電力化や高速化が進められた。また設計技術では、後戻りのない設計法としてトップダウン設計法などが利用された。

しかし、製造微細化の進展は、トップダウン設計との齟齬を生じている。かつての製造技術では信号の配線伝播遅延(配線遅延)は無視できた。これによりトップダウン設計では、論理設計からレイアウト設計後のタイミングが予想可能であった。

しかし、微細化でレイアウト配線後まで確定しない配線形状による配線抵抗や寄生容量などの遅延が大きくなると、論理設計から以後のタイミングが予測できなくなり、そのために論理設計からやり直す修正が多発する。そのため高性能化や設計開発期間の短期化が困難となっている。

本論文は、トップダウンによる高性能 VLSI 設計を可能にし、かつ設計短期化を可能にする 2 つの配線法の提案とその特性の研究を記したものである。

まず第 1 の配線手法は、トップダウン設計のレイアウト設計後の配線遅延の不確実性を回避する配線法である。配線遅延の原因には、配線抵抗と周辺配線間との容量やクロストーク遅延が挙げられるが、抵抗と対地容量遅延は、配線長に比例するため素子の配置から予測可能である。一方、クロストーク遅延は、特定配線間の配線間容量に比例するため、配線設計によって様々な値となり、予測できない。そこで、提案法では、配線間隔(配線ピッチ)を広くとり配線間容量を小さくして、また、端子周辺の近距離のみを狭い配線ピッチにすることで配線率低下を防ぐものである。

評価実験では、従来の迷路配線法に比べ配線間容量を約 4%まで低下させることに成功し、なお配線率は従来と同等となる結果を得た。

次に第 2 の配線法は、設計短期化を目指した高速配線法である。提案法は、グローバル配線で概略経路を求め、同経路から各信号用の配線領域を限定して迷路配線法をおこない、未配線は従来 ECO 再配線でおこなう。

評価回路の実験から、従来の迷路配線法に比べて配線率が約 2%程度劣るものの、処理速度は約 2 倍となることが分かった。

これら 2 つの配線法により、論理設計から以後のタイミングが予測を可能にし、論理設計からやり直す修正を軽減した高性能化や設計開発期間の短期化が期待できる。

# 高速論理検証法と ECO 論理合成法の研究

応用理学コース

情報科学分野

大菊 祥子

ネットワーク普及で、個人による移動端末普及、ブログなど情報発信が活発化し、ネットワークで交換されるデータが文字から音声・動画へ移りデータ量が膨大になった。

それに伴い、高性能で、モバイル可能な低電力機器が求められている。また、個人普及により多種多様な機器を求めており、製品のライフサイクルが短期化している。

そこでライフサイクルの短期化に応じた設計処理の短時間化が求められる。

設計処理の短時間化のためには、最も時間のかかる設計工程を短くすることや、設計変更に対して最小の処理で対応できるような技術が求められる。

そこで本論文では、並列による高速論理シミュレータ法と単純な操作による ECO 論理合成法の提案をする。その理由は、論理検証が設計処理時間の約 7 割を占め、これを高速化することで大幅に設計時間を短縮できることが期待できるからである。また、単純な回路一部修正で、低電力化、高性能化な回路設計を短時間にできる ECO の論理合成で設計変更に要する時間を大幅に短縮できることが期待できるからである。

本論文で提案する論理シミュレータは、GPGPU を利用するレベルソート法に基づき、まず、単純に 1 ブロックのスレッドを利用したシミュレーション法と、さらに、大規模回路に対応するため、ファンアウトコーン単位で多ブロックを利用するシミュレーション法である。

アルゴリズムの基本性能を評価したところ、市販の論理シミュレータとほぼ同等の性能を達成した。

本論文で提案する ECO 論理合成手法は、論理合成の基本的手法であるクワイン・マクラスキー法に基づき、回路の一部を真理値表に還元し、回路合成する。また複数の論理関数の共通項をまとめて縮約化し、多出力回路合成まで扱う。

ランダムロジック回路に対しては、真理値表から得られる最適化前の回路に対して大幅に段数やゲート数を削減できる結果が得られた。

## **Research of Peripheral and Big-Channel Routers for VLSI Layout Design**

応用理学コース 情報科学分野 YAN HUANG

The semiconductor process technology miniaturization is the key to implement enormous multi functions and high performance circuits on VLSI. Though these technologies cause many circuit design difficulties like the difficulty of delay prediction caused by the uncertain wire resistance and parasitic capacitances, the difficulty of wire design completeness from the high density of devices and so on.

To ease these difficulties, we need new routing routers considering the number of vias and complete routing, however, the conventional techniques cannot be applied to them.

In this paper, two automatic routing methods to ease these difficulties are proposed. One is a via-minimizing peripheral router, and the other is a perfect routability assured router with a new routing model named as "Big-Channel". Here the peripheral means the routing area between the core and I/O pads and core means VLSI function circuit area, and the Big-Channel means the virtual channel area constructed in the core or the peripheral.

The proposed peripheral router uses the same layer as long way as possible to save number of vias. It does not use a conventional H-V layer rule, because of the peripheral routing area has less routing nets and easy to implement. Experimental results show the number of vias reduced about 20% to that by the conventional maze-router.

The proposed new channel router assures 100% routability for the big-channel constructed by dividing the 2-D area into a folded long channel. Experimental results show it ensures perfect routability with improving channel height 25%.

These two new routers are expected to ease previous difficulties, and solve VLSI design problems.

# マルチコアプロセッサを用いた並列論理シミュレーション手法

応用理学コース 情報科学分野 トウブンチク

現在、組込みプロセッサは数多くの分野で使用され、低消費電力かつ高性能な組込みシステムに用いられている。ソフトウェアの性能を向上する技術として、並列化プログラミングの重要性が高まっている。GPU やマルチコアプロセッサを利用した並列処理の研究が進行中であり、これからアルゴリズムの並列化が期待できる。

従来では、コンピュータ上の C 言語で記述されたアルゴリズムの実行時間を測ることは容易にできるが、対象プロセッサを変更した場合（例えば ARM946E-S を使用した場合）の実行時間の予測は困難であった。先行研究では、ソフトウェアのプロファイリングを行うことにより、実行時間を簡単に見積る手法を提案した。本研究では、その手法を論理シミュレーションアルゴリズムに適用し、効率の良い並列化アルゴリズムを提案した。

論理ミュレーションアルゴリズムの中のボトルネック部分である論理演算処理部分について、マルチコアプロセッサを前提とした論理シミュレーションアルゴリズムの並列化により高速化を考える。論理回路を並列処理が可能な回路へ分割する方法として、相互に通信が生じないロジックコーンを用いた。マルチコアプロセッサのコア数は限られるため、複数のロジックコーンを一つコーングループにまとめ、それを一つコアプロセッサに対応させる。並列の各コーングループの処理時間を均等化するために「ロジックコーンの畳込み法」を提案した。また、コーングループの中の重複ゲート演算を削除し、さらなる高速化方法を提案した。

本並列アルゴリズムを組合せ回路（4bit adder x 4 と 16bit adder）と順序回路（8bit マイコン）に適用し評価した結果、両者の回路とも従来のレベルソート法のアルゴリズムよりソフトウェア実行時間を 30% から 80% 削減できる見通しが得られた。また、本並列アルゴリズムを高速な市販シミュレータと比較すると、両者の回路とも市販シミュレータに比べ 4 倍以上高速であることがわかった。

今後の課題として、大規模な論理回路や多種の回路による評価を行うことにより、本並列アルゴリズムの高速性を実証したいと考える。さらに、ゲートの複合化による高速化方法や論理シミュレーションアルゴリズムの重複演算を削除後の平坦化による高速化も考えられる。

# 学習コンテンツ推薦を目的とした難易度と習熟度の推定アルゴリズムの評価手法

応用理学コース 情報科学分野

濱田一伸

学習者が利用する学習コンテンツには、専門書や参考書といった学術書籍（本）や内容がそれに類するWebページなどがある。本やWebページは数が多く、難しさが多様なため、学習者は自分に適した学習コンテンツを選択するのが難しい。一般的なコンテンツの選択を支援する目的の際には情報推薦システムがよく用いられるが、既存の推薦アルゴリズムはユーザの嗜好に基づいて推薦を行うため、推薦対象を学習コンテンツとした場合、推薦された学習コンテンツは学習者の知識レベルに合っているとは限らない。そこで、本研究は学習者の習熟度に適した難易度の学習コンテンツを推薦するために、習熟度と難易度の推定アルゴリズムの開発を行っている。

本研究の推定アルゴリズムの特徴は、推定の際に読者ネットワークのみを用いることである。読者ネットワークとは誰がどの学習コンテンツを読んだかというつながりを示す2部ネットワークであり、この読者ネットワークを用いた習熟度と難易度の推定は以下の手順で行う。(1)「ある分野の学習コンテンツを多く読んでいる学習者はその分野に詳しいはず」と仮説を立て、読んだ学習コンテンツの数に応じた習熟度の初期値を設定する。(2)「詳しくない学習者が読んでいる学習コンテンツは易しいはず」「学習を始めたばかりの頃に読んだ学習コンテンツは易しいはず」などの仮説を基に、学習者の習熟度から学習コンテンツの難易度を算出する。(3)「難しい学習コンテンツを読んでいる学習者ほど詳しいはず」などの仮説に基づき、学習コンテンツの難易度から学習者の習熟度を算出する。(4)手順(2)と(3)を収束するまで繰り返し計算する。

本修士論文では、この推定アルゴリズムを評価する手法について述べる。アルゴリズムが推定した習熟度と難易度の精度は、真の習熟度と難易度（正解データ）との比較により測定されるため、アルゴリズムの評価において重要なのは正解データである。そこで本論文では、正解データの作成方法に焦点を当て、試行錯誤により得られた知見について詳述する。以下に、難易度の正解データ作成について検証した内容の概要を示す。習熟度の正解データ作成については、ここでは紙面の都合上割愛する。

最初に行った難易度の正解データ作成手順は、まず「統計」分野に関するWebページを30ページ用意し、評価者（研究室の学生3名）に用意したWebページを読むのに必要な知識レベルを6段階（「大学院レベル以上」「卒業研究レベル」「大学専門科目レベル」「大学教養科目レベル」「高校レベル」「中学レベル以下」）で評価してもらった。そして3名の評価者による評価値の中央値をWebページの真の難易度とした。この正解データ作成手法では、人間が推定した難易度を正解としたにすぎない。また、評価の基準が明確でなかったため、「Webページを読むのに必要な知識レベル」の解釈が「読み始めるのに必要なレベル」や「ページ全体の理解に必要なレベル」と評価者により異なり、評価にばらつきが見られた。

そこで正解データ作成手法を見直し、正解データの作成を以下の手順で再度行った。「C言語」に関する30のWebページに対し、情報系カリキュラムを履修中の大学1~3年生の42名に「ページ中の内容をどの程度知っているか」を5段階で、「今のあなたにとって役に立つページか」を4段階で評価してもらった。そして項目反応理論を用い、評価値からWebページの真の難易度を求めた。この正解データ作成手法では、推定ではなく、実際の学習者による自己評価に基づいて真の難易度を求めていていることから、より信頼性の高い正解データを作成することができている。

# プレゼンテーション・リハーサルにおける 視覚的なアノテーション手法を指向したレビュー支援環境

応用理学コース 情報科学分野

渡邊 悠人

コンピュータを用いたプレゼンテーションは、他者に対して自らの知識を外化する情報伝達の手段として日常的に行われている。高等教育の場においては、教育的な効果を期待して、プレゼンテーション・リハーサルを実施することも多い。一般にプレゼンテーション・リハーサルは、レビューが発表に対する批評・批判を行なう過程と、その意見をもとに行われる議論の過程から成り、これらを通じてプレゼンタは自身の知識の不十分・不適切な点に関する気づきを得ることで、自身の獲得した知識の洗練化や発表資料であるスライドや口頭説明の改善を図る。これは、ピア、つまり仲間内による批評や批判を通じて能力の向上を図ることを目的とするピアレビューの一種であり、リハーサルは複数のピアから同時に多様なレビューが得られる点に特徴がある。また、議論過程を通じてピアからのレビュー結果に対して検討を行なう機会も与えられることにより、十分な理解を促すことが可能な点において教育的に優れており、初学者の学習の場においては理想的である。

リハーサルにおいて作成されるレビュー結果は、プレゼンテーションに対するアノテーションとして記録される。アノテーションとは何らかの対象に付与されたメタデータであり、対象の位置を表す情報と、意図や内容などの意味的情報によって構成されている。一般には、発表内容に関するコメント文として作成されることが多い。しかし、言語を用いた表現は曖昧性が高く、位置情報や内容を正しく理解できるアノテーションの作成には、相応の記述量が必要となり、記述に時間を要する。したがって、プレゼンテーション中は発表を聴き逃さないよう簡単な記述に留まる傾向があり、曖昧なアノテーションが残ることが多い。そのため、認識を一致させる作業による議論時間の遅延や、誤認したまま議論が進行したり、間違った知識の獲得や改訂作業を行なうなどの問題が発生してしまう。この問題を解決するため、本研究では、レビュー作業によって作成されるアノテーションに着目し、認識を一致させることができ容易なりハーサルに適したアノテーションの方法を提案するとともに、それにもとづくレビュー支援環境の構築を目的として研究を行った。

著者が所属する研究室では、既にテキストベースでアノテーションを行なうリハーサル支援システムを開発しており、その結果2,360件のアノテーションが収集されている。このアノテーションを分析した結果、プレゼンテーションの構成、発表スライドのコンテンツ、そして口頭説明や所作といったプレゼンタのコミュニケーションの3種類を対象にしたアノテーションが90%以上を占めており、発表状況に応じて、指摘、質問などの意図が込められていた。そこで本研究では、これらの分析結果をもとに、認識が一致しやすい表現方法として視覚的な表現を組み合わせたアノテーション手法を提案し、その手法を用いたアノテーションの作成・利用が可能なレビュー支援環境の構築と、試験運用にもとづく評価を行った。