

FPGA を用いた論理シミュレーション手法の研究

A Logic Simulation Method using FPGA

松本 夏樹 村岡 道明

高知大学大学院 理学専攻 情報科学分野

1. はじめに

大規模回路やシステムの論理検証には、ソフトウェアとハードウェアの協調シミュレーションが行われており、大規模なハードウェアのシミュレーションにはFPGAを用いた論理エミュレータが使用されているが、FPGAの再構成に膨大な時間がかかりデバッグ性が良くない。本研究では、先行研究[1]を基にレベルソート法を用いたデバッグ性の高い論理シミュレーションのハードウェアアルゴリズムの提案、及び本アルゴリズムをFPGAに実装しシミュレーションエンジンの試作を行った。

2. ハードウェアアーキテクチャ

提案するシミュレーションエンジンのハードウェアアーキテクチャの概要を図1に示す。

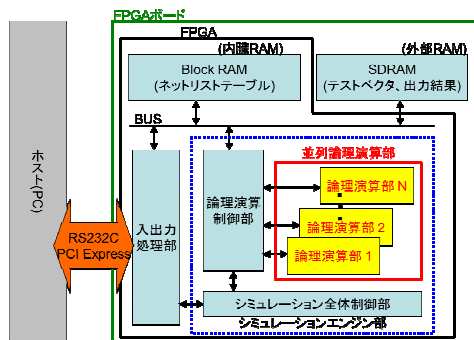


図1 ハードウェアアーキテクチャの概要

まずホストから送信されるシミュレーション対象回路のネットリストテーブルやテストベクタを入力処理部で受信し、ネットリストテーブルはFPGA内臓RAM(BRAM)、テストベクタは外部RAM(SDRAM)に格納する。次に論理演算制御部で演算を行う論理ゲートのネットリストテーブルを読み込み、論理演算部で論理演算を行う。最後に出力処理部でシミュレーション結果をホストへ送信する。シミュレーション全体制御部では、シミュレーション全体の制御を行う。論理ゲートの論理演算を行う論理演算部を並列数用意することで、論理ゲートの並列演算を実現し高速化を図る。ホストとFPGAの通信はRS232CやPCI Expressを用いる。

3. 実装対象とするFPGA

本研究で実装対象とするFPGAの詳細を以下に示す。

FPGA: ALTERA Cyclone III 3C16

-LE(ロジックエレメント)数 : 15,408 個

-M9K メモリブロック(BRAM) : 56 個

対象とするFPGAの場合、シミュレーション可能最大ゲート数は4,096で、論理ゲートの演算を行う論理演算部

は16並列まで可能である。また、本研究ではシミュレーションエンジンの性能評価のための試作として、安価なFPGAを使用した。大規模高性能FPGAへの展開も可能であり、更に並列数を増やすことができる。

4. 評価

提案するハードウェアアルゴリズムを対象とするFPGAへ実装した場合の並列数16のシミュレーションエンジン(FPGA_SIM16)のシミュレーション時間と商用高速論理シミュレータC_SIMのシミュレーション時間を比較した結果(cpu×1)を図2に示す。また、並列数1,024の場合(FPGA_SIM1024)のシミュレーション時間(cpu×40)を実測の周波数に基き見積り、C_SIMと比較をした結果を図3に示す。見積りは1サイクルにかかる処理クロック数×テストベクタ長÷周波数で求めた。

<動作環境・実験条件>

- ・C_SIM: ModelSim SE 10.2c
- ・テストベクタ長: 100,000 サイクル
- ・FPGA 動作周波数: 100MHz
- ・実験回路: 順序回路 cpu×1, cpu×40

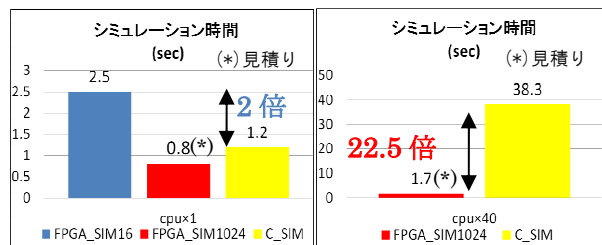


図2.FPGA_SIMの比較結果

図3. 並列数1024の場合の比較結果

5. 結論・今後の課題

本研究では、FPGAを用いたシミュレーションエンジンの試作を行った。商用高速論理シミュレータと比較して、並列演算数16のシミュレーションエンジンは順序回路cpu×1(約2,000ゲート)で約2倍遅い結果となったが、並列数1,024では高速化される。並列演算数1,024の場合を見積ると、順序回路cpu×40(約8万ゲート)で約22.5倍の高速性が達成できる見通しを得られた。

今後の課題としては、大規模回路対応やFPGAを用いた論理エミュレータとの総合的な比較、更なる高速化が考えられる。論理ゲートの複合化やLSI化等によりC_SIMと比較して2,200倍以上の高速化も期待できる。

参考文献

[1] 松本夏樹, 村岡道明, “FPGAを用いた論理シミュレーション手法”, デザインガイア 2013, 2013年11月