

平成26年度
高知大学大学院 総合人間自然科学研究科
応用理学コース 情報科学分野
修士論文要旨集

手話トレーニングマシンの開発

—学習支援機能について—

応用理学コース 情報科学分野 林田 翔吾

現在、聴覚障害者の社会参加の機会が増えてきている。それに伴い、裁判員制度への障害者の参加、聴覚障害者の社会参加を目的とした聴覚障害者支援センターの設立、就職採用で障害者枠を設けた企業も出てきており、社会的に障害者に対しての動きが活発になってきている。

そうした社会の中で私たちは、その聴覚障害者とうまくコミュニケーションをとる必要がある。その手段の中で一般的なものとしては手話が挙げられる。この手話も、2006年には国際人権条約中の「障害者権利条約」により、日常生活の場での手話を容易に扱えるように取り組むことが記載されていたり、2011年には日本で「障害者基本法（改正版）」が策定され、手話を1つの言語として認めると記載されていたりと、世界的に手話を重要視するようになってきている。このことから、健常者も手話を学習し、こちらから聴覚障害者に歩み寄る必要があると考える。その手話の学習方法として既存のものには、本・映像教材・手話教室等が挙げられるが、これらは、それぞれに長所、短所がある。

そこで、当研究室では、各学習方法の長所を併せ持つような新たな学習ツールとして、手話トレーニングマシンの開発を行っている。この開発には、私が学部生の時から携わっており、その時は主に手話の判別における内部処理を担っていた。

手話がどのような単語であるかを判断するには、手指の形や手と顔、体との位置関係が必要となる。そのため、当研究室で開発している手話トレーニングマシンは、各指と手の甲にセンサを取り付けた手話入力用データグローブとユーザトラッキングにより手や頭、体といった部位の三次元的位置の取得が可能な Xtion を手話入力デバイスとして使用し、このデバイスから取得したデータを手話判別プログラムで扱うことで手話の判別を可能としている。

先行研究では、この手話トレーニングマシンの重要な基本機能である両手手話の大部分の判別が可能となったが、本来の目的である学習ツールとしての機能が不十分であった。

そこで、本研究では学習支援機能の拡張を行った。内容としては、大きく分けると、学習時における手話動作の間違いに対してのフィードバックの詳細化や、各個人のアカウントを作り、それぞれの学習履歴を保存し、システムによりその学習履歴を活用した支援を行う等がある。その他にも、学習時のマシン操作による学習の妨げを無くすため、Xtion のユーザトラッキング機能とフットペダルを使うことにより操作性の改善を行い、より学習に専念できる環境を実現した。

この学習支援機能を搭載した手話トレーニングマシンの評価を行うため、既存の学習方法の1つである本との学習効果の比較を行った。結果としては、本の学習よりも手話トレーニングマシンのフィードバック等の学習支援機能により、学習効果の向上が見られた。さらに、手話トレーニングマシンの使用感等の調査も行い、評価実験の結果と合わせて本研究における手話トレーニングマシンの改善点や課題についての考察も行った。

知識洗練化のためのプレゼンテーション・リハーサルを対象とした スライドコンテンツと口頭説明の対応関係に着目したピアレビュー支援環境

応用理学コース 情報科学分野 谷川 晃大

プレゼンテーション・リハーサルは、学習者の知識洗練の促進に有効とされるピアレビューの一形態である。プレゼンテーション・リハーサルでは、学習者は発表者となり、自身が作成した発表スライドを用いて、ピア（同僚、仲間）に対してプレゼンテーションを行い、ピアから発表内容に対する指摘や批評を受ける。リハーサルにおいて得られるピアからの指摘および批評は、発表資料の修正に役立つだけでなく、学習者自身が持つ知識の不十分、不適切さに対する気づきを与えることに貢献する。しかし、一般にレビュー作業の負荷は高く、ピアにとって発表を聞きながらレビューコメントを作成することは容易ではない。この問題を解決し、ピアレビューの効果を高めるために、著者が所属する研究室では、プレゼンテーション・リハーサルを対象とした、計算機援用によるピアレビュー支援環境の構築およびシステムの開発を行っている。

本支援システムでは、発表動画の撮影や、発表者が用いたスライドデータを活用することによって、実際に行われたプレゼンテーションを計算機上で再現する。その再現されたデータに関連付ける形式で、ピアは発表に対するレビューコメントを残す。したがって、ピアが適切にコメントを記述し、さらに、発表者がリハーサルで得た結果を見返し、再吟味するには、プレゼンテーションの状況の効果的な再現が求められる。

一般にプレゼンテーションにおいて、発表者はスライドと口頭説明により自らの知識を他者へ伝達する。そのため、これら双方の情報をいかに計算機上で再現するかが重要となる。しかし、先行研究では、スライドについてはコンテンツが持つテキストデータを始めとする様々な内部データに関して、詳細に再現を行う一方で、口頭説明については動画の再生のみに留まっていた。支援システムの継続的な運用を続けてきた結果、十分な支援効果が認められる一方で、口頭説明の内容確認や、口頭説明に対するレビューコメントの作成が困難であることが、知見として得られていた。

これらの問題における一つの要因としては、口頭説明が音声情報であり、視覚的に表現されたものでないことが挙げられる。音声情報は、一覧性が低いためその内容の確認に時間を要し、了解性にも欠ける。そこで、本研究では口頭説明のテキスト化を行い、これを計算機上で提示することにより、この問題に対する解決を試みた。

さらに、本研究では、プレゼンテーションの再現性をより向上させるために、スライドコンテンツと口頭説明の対応関係に着目した。通常、発表者はスライドに記述されたコンテンツに対し、口頭説明により情報を補足しながら発表を行う。したがって、スライドコンテンツとその内容を補足する口頭説明の対応関係を可視化することが、双方の情報を併せて確認するために有効であると考えた。したがって、本研究ではこの再現手法にもとづくピアレビュー支援システムの開発を行った。

マルチコアを用いた高速並列論理シミュレーション手法の研究

応用理学コース 情報科学分野 竹内 勇矢

近年、回路検証にはソフトウェア/ハードウェアの協調シミュレータが用いているが、大規模回路やシステムのシミュレーションではソフトウェアにおいて膨大な時間を必要としている。現在、そのシミュレータに代わり FPGA を用いた論理エミュレータを使用した高速シミュレーションが可能であるが、FPGA の再構成に時間がかかるため大規模回路に対してデバック性がよくない。これらの問題を解決するために、マルチコアを用いたプログラムの並列化による高速論理シミュレーションの開発を目指す。

本研究では、マルチコアを用いた並列シミュレーション手法と高速演算手法である論理素子の複合化を提案する。並列シミュレーション手法では、ソフトウェアの実行時間見積り手法を用いて論理シミュレーションのボトルネック部分を解析しその部分を並列化させる。従来の論理シミュレーションを本見積り手法によりプロファイリングした結果、ボトルネック部分は全体処理時間の 87% 以上を占める論理演算であった。この論理演算部分を並列化させ高速な並列論理シミュレーション手法の確立を目指した。また、論理回路を並列処理が可能な回路に表現するため、ファンアウトコンをういてグループ化を行い、これらの並列処理を可能とした。さらに、高速演算手法として、論理素子の複合化を行い、複数の論理素子を 1 つのマクロとして表現し、マクロの演算を LUT (Look Up Table) 方式により高速に演算する。LUT を使用するとテーブルをアクセスするだけで出力が求まるため、演算回数を削減でき実行時間の短縮が可能である。以上の高速化手法を適応し、高速な並列論理シミュレーションを開発した。

シーケンシャルな従来の論理シミュレーションと本並列論理シミュレーションの比較を行った結果、本アルゴリズムを採用すると、順序回路では 2~10 倍、組合せ回路では約 9 倍の高速化率が得られた。また、高速な市販シミュレータと本並列論理シミュレーションの性能を比較した結果、順序回路では 6~27 倍、組み合わせ回路では約 24 倍の高速化率が得られた。

今後の課題として、より大規模な回路を用いて評価を行い高速化手法の実用性を評価することやメニーコア・プロセッサを想定して 100 並列以上の評価を行うこと及び並列化によるオーバヘッドを削除することによるさらなる高速化が期待できる。

GP-GPU を用いた並列論理シミュレーション手法の研究

応用理学コース 情報科学分野 橋口 拓哉

従来、大規模回路やシステムのハードウェア/ソフトウェア協調シミュレーションには膨大なシミュレーション時間を要することが問題となっている。これを解決する一つの方法としてエミュレータが使用されてきた。しかしながら、エミュレータはコストが高く、再構成に時間がかかるため簡易に使用することができない。そのため、この数年来 GP-GPU (General Purpose Graphics Processing Unit)、マルチコアや FPGA などを使用し、シミュレーションを並列化することにより高速化を図る研究が行われている。この分野の研究では GP-GPU を用いた並列論理シミュレータが開発され、市販シミュレータの数倍程度の高速化率が確認されている。本研究室でも並列論理シミュレータの研究が行われており、GP-GPU を用いた並列論理シミュレータのプロトタイプが作成され、そのプロトタイプは商用版シミュレータと近い性能が得られた。本研究では先行研究で作成されたプロトタイプを元に、一般的な回路のシミュレーションを行うために大規模回路対応や順序回路対応などを行った。その結果、数万ゲート規模の回路や順序回路である 8bit-CPU のシミュレーションが可能となった。また、高速化のために GPU のキャッシュのヒット率向上や条件分岐数の削減等を目的とした 3 つの方法に基づく高速化手法を提案し、ソフトウェアに実装した。ここでいう 3 つの方法とは、メモリアクセスの高速化、条件分岐の削減による高速化、大規模回路対応の高速化の 3 つである。これら 3 つの方法に基づく高速化手法をソフトウェアで実現することで、その前と比べ 1.6~12.8 倍程度の高速化を達成した。最終的に本研究で開発した提案シミュレータと商用シミュレータでシミュレーション時間の比較を行ったところ、組み合わせ回路で最大で約 30 倍、順序回路で最大で約 5.7 倍の高速化を達成した。今後の課題として、大規模かつ実用的な回路での評価を行うこと、最新の GPU である Geforce TITAN での評価を行うこと、GPU を複数枚使用することで演算の並列性を高め、シミュレーションの更なる高速化を図ることなどがあげられる。

FPGA を用いた論理シミュレーション手法の研究

応用理学コース 情報科学分野 松本 夏樹

大規模回路やシステムの検証にはソフトウェアとハードウェアの協調シミュレーションが行われているが、通常は長時間を要し高速化が望まれている。現在は FPGA を用いた論理エミュレータによる高速シミュレーションが行われているが、大規模論理回路では FPGA の再構成に膨大な時間がかかりデバッグ性がよくない。そのため、回路のバグが収束した段階でソフトウェアを含む大規模な協調シミュレーションに使用されることが多い。

本研究では、先行研究を元にレベルソート法を用いたデバッグ性の高い論理回路シミュレーションのハードウェアアルゴリズムの提案、及び本アルゴリズムを FPGA に実装し論理シミュレーションエンジンの試作を行った。アルゴリズムの高速化手法は、高速アクセス可能な FPGA 向きのデータ構造、論理ゲートの演算部の並列化手法、及び FPGA 内部の高速化メモリの効率駆に使用手法により構成される。

本手法に基づくアルゴリズムを FPGA に実装し、論理シミュレーションエンジンを試作及び性能を評価した。今回試作した論理シミュレーションエンジンの論理ゲートの並列化による高速化率を求めた。また、商用シミュレータである ModelSim と比較することで論理シミュレーションエンジンの有用性を確かめる。論理ゲートの並列演算数を 16 と並列化しなかった場合を比較して順序回路 2,111 ゲートで約 5.8 倍の高速化となった。また、並列演算数 16 の場合の論理シミュレーションエンジンは商用シミュレータ ModelSim と比較して、約 0.5 倍(約 2 倍遅い)の性能であったが、高性能 FPGA により高速化可能であることを見通すことができた。

今回使用した FPGA(cyclone III)の BRAM 量より 16 並列化が限界であったため、商用シミュレータよりも約 2 倍遅い結果となったが、本アルゴリズムは高性能 FPGA への展開も可能であり、高性能 FPGA を使用することで並列演算数を増加させることができ、更なる高速化が可能である。並列演算数を 1024 とした場合のシミュレーション時間を見積もった結果、商用シミュレータと比較して順序回路 8 万ゲートで約 22.5 倍の高速性を達成できる見通しを得られた。並列演算数 1024 は、現在の最高性能 FPGA である Altera 社の Stratix5 であれば実現可能であると言える。

今後の課題として、大規模回路対応や更なる高速化等が挙げられる。